



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Offenlegungsschrift
10 DE 197 12 233 A 1

51 Int. Cl. 6:
H 01 L 29/786
// G 09 F 9/35

21 Aktenzeichen: 197 12 233.7
22 Anmeldetag: 24. 3. 97
43 Offenlegungstag: 30. 10. 97

DE 197 12 233 A 1

30 Unionspriorität:

96-08344	26.03.96	KR
96-22404	19.06.96	KR
96-23295	24.06.96	KR
96-23296	24.06.96	KR
96-23448	25.06.96	KR

71 Anmelder:

LG Electronics Inc., Seoul/Soul, KR

74 Vertreter:

Viering, Jentschura & Partner, 80538 München

72 Erfinder:

Kim, Jeong-Hyun, Anyang, Kyunggi, KR; Kim, Woong-Kwon, Anyang, Kyunggi, KR; Lyu, Ki-Hyun, Anyang, Kyunggi, KR; Park, Sung-II, Daegu, KR; Lim, Kyoung-Nam, Seoul/Soul, KR; Lee, Hoo-Young, Seoul/Soul, KR

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Flüssigkristallanzeige und Herstellungsverfahren dafür

57 Eine Dünnschichttransistoranordnung für eine Flüssigkristallanzeigeumfasst ein Substrat; einen auf dem Substrat angeordneten Transistor mit einer Gate-Fläche, einer Source-Fläche, einer Drain-Fläche, einer Halbleiterschicht und einer Gate-Isolierschicht; und eine über dem Dünnschichttransistor angeordnete Schutzschicht, die wenigstens ein Material aus folgender Gruppe aufweist: fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylol, PFCB und BCB.

DE 197 12 233 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 09. 97 702 044/714

42/22

BEST AVAILABLE COPY

Beschreibung

Die vorliegende Erfindung betrifft eine Flüssigkristallanzeige (LCD: liquid crystal display) und ein Herstellungsverfahren dafür, und insbesondere eine LCD, die einen Dünnschichttransistor (TFT: thin film transistor) aufweist, sowie ein Herstellungsverfahren dafür.

Unter verschiedenen Anzeigeeinrichtungen zum Anzeigen von Bildinformationen wurde in jüngerer Zeit eine flache Anzeigeanordnung aufgrund ihrer Vorteile, wie geringes Gewicht und Tragbarkeit, entwickelt. Neben anderen Gebieten ist die Entwicklung von LCDs eines der aktivsten Forschungsfelder. Dies liegt daran, daß LCDs qualitativ hochwertige Bilder, eine hohe Auflösung und eine hohe Ansprechgeschwindigkeit bieten können, die zum Anzeigen bewegter Bilder erforderlich ist.

Das Prinzip einer LCD beruht auf der optischen Polarität und Anisotropie von Flüssigkristallen. Die Transmission von Licht wird gesteuert, indem den Flüssigkristallmolekülen eine optische Anisotropie verliehen wird und die Flüssigkristallmoleküle unter Ausnutzung ihrer polaren Eigenschaften in verschiedene Richtungen ausgerichtet werden. Eine LCD-Anordnung besteht aus zwei durch einen bestimmten Abstand voneinander getrennten transparenten Substraten. In den Raum zwischen den Substraten ist ein Flüssigkristallmaterial eingespritzt, und auf den Substraten sind verschiedene Elemente zum Ansteuern des Flüssigkristalls ausgebildet. Im allgemeinen sind auf einem der Substrate (dem TFT-Substrat) Dünnschichtelemente, wie z. B. Dünnschichttransistoren, hergestellt. Deshalb hängt die Leistung einer LCD-Anordnung maßgeblich von dem Herstellungsverfahren und der Struktur solcher Dünnschichtelemente ab. Ferner zeigt eine vor kurzem auf den Markt gebrachte LCD-Anordnung mit aktiver Matrix (AMLCD: active matrix liquid crystal display) verschiedene Leistungsschwankungen, je nach Herstellungsverfahren und Aufbau des Dünnschichttransistors und anderer zugehöriger Elemente. Die Einzelheiten einer herkömmlichen AMLCD-Anordnung werden nachstehend beschrieben.

Zuerst wird unter Bezugnahme auf Fig. 1 der Aufbau einer herkömmlichen AMLCD-Anordnung besprochen. Rechteckige Pixel, die jeweils einen Bildinformationspunkt darstellen, sind so angeordnet, daß sie eine Matrix bilden. Gate-Busleitungen 15 und Signal-Busleitungen 25 sind in Spalten und Zeilen angeordnet, welche die Matrix bilden. An den Kreuzungsstellen zwischen den Gate-Busleitungen und den Signal-Busleitungen ist jeweils ein Schaltelement ausgebildet. Im allgemeinen wird als Schaltelement ein Dünnschichttransistor (TFT) verwendet. Die Source-Elektrode 23 des TFT ist mit der Signal-Busleitung 25 (Source-Busleitung oder Daten-Busleitung) verbunden, und die Gate-Elektrode 13 des TFT ist mit der Gate-Busleitung 15 verbunden. An jedem Bildpunkt sind eine Pixel-Elektrode 31 und eine gemeinsame Elektrode ausgebildet, um an den Flüssigkristall ein elektrisches Feld anlegen zu können. Die Pixel-Elektrode 31 ist an der Drain-Elektrode 27 des TFT angeschlossen. Sobald daher der TFT durch Anlegen geeigneter Spannungen an die Gate-Busleitung und an die Signal-Busleitung eingeschaltet wird, wird die Signalspannung an die Pixel-Elektrode 31 angelegt. Diese Spannung erzeugt ein elektrisches Feld zwischen der Pixel-Elektrode und der gemeinsamen Elektrode. Dann zwingt das elektrische Feld die Flüssigkristallmoleküle, sich in einer bestimmten, von der Feldrichtung abhängigen Richtung auszurichten. Deshalb kann die Lichttransmission durch eine willkürliche Steuerung der Ausrichtung der Flüssigkristallmoleküle gesteuert werden. Diese Eigenschaft eines Flüssigkristalls wird zur Anzeige von Bildinformationen genutzt.

Als zweites wird nachstehend ein herkömmliches Verfahren zur Herstellung einer AMLCD-Anordnung erläutert. Zwei transparente Substrate werden zum Bau einer LCD-Anordnung hergerichtet. Im allgemeinen werden die Substrate aus Nicht-Alkali-Glas oder Soda-Glas hergestellt. Auf die beiden Substrate werden unterschiedliche Arbeitsgänge angewandt. Auf dem ersten Substrat (obere Platte) werden eine Farbfilterschicht, eine schwarze Matrix, gemeinsame Elektroden sowie Busleitungen ausgebildet. Auf dem zweiten Substrat (untere Platte) werden Schaltelemente, z. B. Dünnschichttransistoren, Pixel-Elektroden sowie Busleitungen ausgebildet.

Die Erfindung betrifft insbesondere ein zweites Substrat einer AMLCD-Anordnung, die auf dem Dünnschichttransistoren gebildet wird. Deshalb werden im folgenden hauptsächlich herkömmliche Herstellungsverfahren für das zweite Substrat beschrieben.

Es gibt verschiedene AMLCD-Anordnungen, je nach Herstellungsverfahren und Aufbau. Die AMLCD-Anordnungen können nach dem Aufbau eines Dünnschichttransistors klassifiziert werden. Typische Aufbauformen von Dünnschichttransistoren für eine LCD-Anordnung sind aus den Fig. 2A bis 5G ersichtlich.

Die Fig. 2A bis 2F zeigen als Schnitte, entlang der in Fig. 1 eingetragenen Linie I-I, einen umgedreht geschichteten Dünnschichttransistor (inverse staggered TFT), der amorphes Silizium (a-Si) als Halbleiterschicht verwendet. Die Herstellung dieses Dünnschichttransistors erfolgt in der nachstehend beschriebenen Weise. Eine erste Metallschicht, z. B. aus Ti, Cr, Ta, Al, Ti-Mo, Mo-Ta oder Al-Ta, wird (in einer Stärke von 1000 bis 2000 Å) auf einem Glassubstrat 11 aufgebracht. Das Metall wird selektiv abgeätzt, um eine Gate-Busleitung 15 und eine Gate-Elektrode 13 zu bilden (Fig. 2A), wonach auf der gesamten Oberfläche eine Schicht aus Siliziumnitrid (SiN_x) aufgebracht wird, um eine Gate-Isolierschicht 17 zu bilden (Fig. 2B). Eine dünne Schicht aus amorphem Halbleitermaterial, z. B. a-Si, und eine dünne Schicht aus dotiertem amorphem Halbleitermaterial, z. B. n^+ -dotiertem a-Si, werden nacheinander (in einer Stärke von 1500 bis 2000 Å bzw. 300 bis 500 Å) auf der Gate-Isolierschicht 17 aufgebracht. Sie werden selektiv abgeätzt, um eine Halbleiterschicht 19 und eine dotierte Halbleiterschicht 21 zu bilden, wie aus Fig. 2B ersichtlich. Danach wird eine zweite Metallschicht, z. B. aus Cr, Mo, Ti oder Cr-Al (in einer Stärke von 1000 bis 2000 Å) aufgebracht und selektiv abgeätzt, um eine Signal-Busleitung 25, eine Source-Elektrode 23 und eine Drain-Elektrode 27 zu bilden. Der zutage liegende Teil der dotierten Halbleiterschicht 21 wird entfernt, indem die Source-Elektrode und die Drain-Elektrode als Masken genutzt werden. Hierbei ergibt die dotierte Halbleiterschicht 21 einen ohmschen Kontakt zur Source-Elektrode 23 und zur Drain-Elektrode 27 (Fig. 2C). Als nächstes wird Siliziumnitrid (SiN_x) aufgebracht, um eine Schutzschicht 29

zu bilden, die den unter der Schicht befindlichen TFT schützt und eine elektrische Isolierung des TFT gegenüber dem Flüssigkristall herstellt. Dann wird in der Schutzschicht 29 über der Drain-Elektrode 27 ein Verbindungsloch gebildet, um die Drain-Elektrode 27 mit einer Pixel-Elektrode zu verbinden, wie aus Fig. 2D ersichtlich. Indium-Zinn-Oxid (ITO: indium tin oxide), leitendes Metall, wird in einer Stärke von 500 bis 1000 Å aufgebracht und selektiv abgeätzt, um eine Pixel-Elektrode 31 zu bilden, wie in Fig. 2E gezeigt. Damit ist die Herstellung des umgedreht geschichteten Dünnschichttransistors abgeschlossen.

Hierbei kann eine Siliziumnitridschicht als Ätzstopper 35 zwischen der Halbleiterschicht 19 und der dotierten Halbleiterschicht 21 im Bereich über der Gate-Elektrode 13 gebildet werden, um einer zu starken Abätzung der Halbleiterschicht 19 vorzubeugen, wenn die dotierte Halbleiterschicht 21 entfernt wird, die sich zwischen der Source-Elektrode 23 und der Drain-Elektrode 27 befindet, wie aus Fig. 2F ersichtlich.

Die Fig. 3A bis 3D zeigen einen geschichteten TFT, bei dem als Halbleiterschicht amorphes Silizium (a-Si) verwendet wird. Der Schichtaufbau ist invers zum vorstehend beschriebenen, umgedreht geschichteten Dünnschichttransistor und wird in der nachstehend beschriebenen Weise hergestellt. Ein erstes Metall und ein dotiertes Halbleitermaterial werden nacheinander auf einem Glassubstrat 11 aufgebracht. Sie werden zusammen selektiv abgeätzt, um eine Signal-Busleitung 25, eine Source-Elektrode 23, eine Drain-Elektrode 27 und auf diesen eine dotierte Halbleiterschicht 21 zu bilden, wie aus Fig. 3A ersichtlich.

Dann werden amorphes Siliziummaterial, ein Isolierstoff, z. B. SiN_x oder SiO_2 , und ein zweites Metall nacheinander auf dem ganzen Substrat einschließlich der dotierten Halbleiterschicht aufgebracht und miteinander selektiv abgeätzt, um eine Halbleiterschicht 19, eine Gate-Isolierschicht 17, eine (in den Zeichnungen nicht dargestellte) Gate-Busleitung bzw. eine Gate-Elektrode 13 zu bilden. Der zutage liegende Teil der dotierten Halbleiterschicht 21 wird dann entfernt, wie in Fig. 3B gezeigt. Hierbei ergibt die dotierte Halbleiterschicht 21 einen ohmschen Kontakt zur Source-Elektrode 23 und zur Drain-Elektrode 27. Als nächstes wird auf der gesamten Oberfläche eine Schutzschicht 29 gebildet (Fig. 3C). Ein Verbindungsloch wird in der Schutzschicht 29 über der Drain-Elektrode 27 gebildet. Schließlich wird eine Pixel-Elektrode 31 gebildet und durch das Verbindungsloch an die Drain-Elektrode 27 angeschlossen (Fig. 3D). Damit ist die Herstellung des geschichteten TFT abgeschlossen.

Die Fig. 4A bis 4D zeigen einen koplanaren Dünnschichttransistor, bei dem als Halbleiterschicht polykristallines, eigenleitfähiges Siliziumhalbleitermaterial (poly-Si) verwendet wird. Die Herstellung eines koplanaren Dünnschichttransistors erfolgt in der nachstehend beschriebenen Weise. Ein polykristallines Halbleitermaterial, wie poly-Si, und ein dotiertes polykristallines Halbleitermaterial werden nacheinander auf einem transparenten Glassubstrat 11 aufgebracht und selektiv abgeätzt, um eine Halbleiterschicht 19 und eine dotierte Halbleiterschicht 21 zu bilden, wie aus Fig. 4A ersichtlich. Dann wird ein erstes Metall, z. B. Al oder eine Al-Legierung, aufgebracht und selektiv abgeätzt, um eine Signal-Busleitung 25, eine Source-Elektrode 23 und eine Drain-Elektrode 27 zu bilden. Anschließend wird der zwischen Source- und Drain-Elektrode zutage liegende Teil der dotierten Halbleiterschicht 21 entfernt (Fig. 4B). Hierbei ergibt die dotierte Halbleiterschicht 21 einen ohmschen Kontakt zur Source- und zur Drain-Elektrode. Als nächstes wird Siliziumoxid (SiO_2) aufgebracht und selektiv abgeätzt, um eine Gate-Isolierschicht 17 zu bilden. Anschließend wird eine zweite Metallschicht, z. B. aus Cr, aufgebracht und selektiv abgeätzt, um eine (in den Zeichnungen nicht dargestellte) Gate-Busleitung und eine Gate-Elektrode 13 zu bilden. Dann wird Siliziumoxid (SiO_2) aufgebracht, um eine Schutzschicht 29 zu bilden, wie aus Fig. 4C ersichtlich. Ein Verbindungsloch wird in der Schutzschicht 29 über der Drain-Elektrode 27 gebildet. Schließlich wird durch Aufbringen und selektives Abätzen von ITO eine Pixel-Elektrode 31 gebildet und durch das Verbindungsloch mit der Drain-Elektrode 27 verbunden (Fig. 4D). Damit ist die Herstellung des koplanaren Dünnschichttransistors abgeschlossen.

Die Fig. 5A bis 5G zeigen einen selbst-ausgerichteten Dünnschichttransistor. Dessen Herstellung erfolgt in der nachstehend beschriebenen Weise. Eine Halbleiterschicht 19 wird auf einem transparenten Substrat 11 gebildet, indem ein polykristallines eigenleitfähiges Halbleitermaterial aufgebracht und selektiv abgeätzt wird. Es gibt drei bekannte Grundverfahren zur Bildung einer polykristallinen Halbleiterschicht. Erstens kann polykristallines Silizium gebildet werden, indem amorphes Silizium aufgebracht und mit Laserlicht behandelt wird. Zweitens kann polykristallines Silizium gebildet werden, indem amorphes Silizium aufgebracht und thermisch behandelt wird. Drittens kann polykristallines Siliziummaterial direkt aufgebracht werden. Nach Bildung der Halbleiterschicht 19 werden nacheinander Siliziumoxid und ein erstes Metall aufgebracht und selektiv abgeätzt, um eine Gate-Isolierschicht 17, eine Gate-Elektrode 13 und eine (in den Zeichnungen nicht dargestellte) Gate-Busleitung zu bilden, wie in Fig. 5B gezeigt. Zu dieser Zeit sollten die Gate-Elektrode 13 und die Gate-Isolierschicht 17 im wesentlichen in der Mitte der Halbleiterschicht 19 ausgebildet sein. Wie in Fig. 5C gezeigt, wird der Randbereich der Halbleiterschicht 19 in eine erste dotierte Halbleiterschicht 21 umgewandelt, indem Verunreinigungs-Ionen in die Halbleiterschicht 19 eingebracht werden, wobei die Gate-Elektrode 13 als Maske verwendet wird (Dotierungskonzentration 10^{14} bis 10^{15} cm^{-3}). Dann wird eine lichtundurchlässige Schicht aufgebracht, die einen an die Gate-Isolierschicht 17 angrenzenden Teil der ersten dotierten Halbleiterschicht 21 bedeckt. Anschließend wird, wie aus Fig. 5D ersichtlich, eine zweite dotierte Halbleiterschicht 21' gebildet, indem Verunreinigungs-Ionen (Dotierungskonzentration 10^{16} bis 10^{18} cm^{-3}) in den Teil der ersten dotierten Halbleiterschicht eingebracht werden, der nicht von der lichtundurchlässigen Schicht bedeckt ist. Die erste dotierte Halbleiterschicht 21 ist ein gering dotierter Drain-Abschnitt (LDD: lightly-doped drain), in dem die Verunreinigungs-Ionen in geringerer Konzentration als in der zweiten dotierten Halbleiterschicht 21' vorliegen.

Hierbei kann der unter Bezugnahme auf Fig. 5C beschriebene Schritt zur Einbringung von Verunreinigungen ausgelassen werden. In diesem Fall wird eine lichtundurchlässige Schicht aufgebracht, die einen an die Gate-Isolierschicht 17 angrenzenden Teil der Halbleiterschicht 19 bedeckt, und eine dotierte Halbleiterschicht 21' wird gebildet, indem in den Teil der Halbleiterschicht 19, der nicht von der lichtundurchlässigen Schicht bedeckt ist, Verunreinigungs-Ionen (in einer Konzentration von 10^{16} bis 10^{18} cm^{-3}) eingebracht werden. Der von der

lichtundurchlässigen Schicht bedeckte Teil wird zu einem Versatzstück ohne implantierte Ionen.

Als nächstes wird eine erste Schutzschicht 29 gebildet, indem auf der gesamten Oberfläche Siliziumoxid aufgebracht wird, wie aus Fig. 5E ersichtlich. In der Schutzschicht 29 werden oberhalb der dotierten Halbleiterschicht 21' zu beiden Seiten der Gate-Elektrode 13 erste Verbindungslöcher gebildet. Eine zweite Metallschicht wird aufgebracht und selektiv abgeätzt, um eine Signal-Busleitung 25, eine Source-Elektrode 23 und eine Drain-Elektrode 27 zu bilden, die durch die Verbindungslöcher mit der dotierten Halbleiterschicht 21' verbunden sind. Dann wird ITO aufgebracht und selektiv abgeätzt, um eine Pixel-Elektrode 31 zu bilden, die mit der Drain-Elektrode 27 verbunden ist, wie aus Fig. 5F ersichtlich. Alternativ kann nach der Aufbringung und selektiven Abätzung des zweiten Metalls eine zweite Schutzschicht 33, welche die Source- und die Drain-Elektrode bedeckt, auf der gesamten Oberfläche aufgebracht werden, und dann können ein zweites Verbindungsloch oberhalb der Drain-Elektrode 27 und die mit der Drain-Elektrode 27 durch das zweite Verbindungsloch verbundene Pixel-Elektrode gebildet werden (Fig. 5G).

Den vorstehend beschriebenen herkömmlichen AMLCD-Anordnungen haften folgende Mängel an. Erstens kommt es infolge der Mehrschichtstruktur des Dünnschichttransistors und der Busleitungen zur Ausbildung einer stufigen Oberfläche, wie in Fig. 6 gezeigt. Aus Fig. 6 ist die Struktur ersichtlich, bei der die Gate-Isolierschicht 17 auf der Gate-Busleitung 15 aufgebracht ist und die Signal-Busleitung 25 so ausgebildet ist, daß sie die Gate-Busleitung kreuzt. Somit kann es an der Kreuzungsstelle zwischen der Signal-Busleitung und der Gate-Busleitung zu einer Leitungsunterbrechung oder zu einem Kurzschluß kommen. Zweitens entsteht eine hohe parasitäre Kapazität, wenn eine Pixel-Elektrode eine der Busleitungen überlappt, da eine anorganische Schicht, wie SiN_x oder SiO_x , eine vergleichsweise hohe Dielektrizitätskonstante besitzt. Deshalb wird eine Pixel-Elektrode gebildet, die einen vorgegebenen Zwischenraum zwischen der Pixel-Elektrode und den Busleitungen aufweist, wie aus Fig. 1 ersichtlich. Da das in diesem Fall durch den Zwischenraum tretende Streulicht unerwünscht ist, wird eine schwarze Matrix, die das Streulicht blockiert, gebildet, um den Zwischenraum zwischen der Busleitung und der Pixel-Elektrode zu bedecken. Dieser Aufbau hat jedoch ein unzureichendes Öffnungsverhältnis. Drittens ist nach Aufbringung einer Ausrichtungsschicht für den Flüssigkristall ein Reibverfahren erforderlich, um in der Ausrichtungsschicht einen Vorkippwinkel einzustellen, der die anfängliche Flüssigkristallausrichtung festlegt. Das Reibverfahren funktioniert jedoch auf einer Oberfläche, die erhebliche Stufen aufweist, nicht richtig, und es kommt zu einer Zonenbildung, die zu einer anderen als der beabsichtigten Ausrichtung führt, was die Qualität der LCD-Anordnung mindert.

Die beste oder zumindest eine gute Lösung dieser Probleme besteht darin, das infolge des Mehrschichtaufbaus gestufte Profil zu glätten. Dieser Zweck wird erfüllt, indem für eine Gate-Isolierschicht und/oder eine Schutzschicht ein Material verwendet wird, das eine hochgradig glättende Wirkung hat. Beispiele für ein solches Material mit der gewünschten hohen Glättungsfähigkeit finden sich in den japanischen Patenten 4-163528, 83-289965, 4-68318 und 63-279228.

Diese Patente verwenden als Schutzschicht Polyimid oder Acrylharz, um über den Bereich des TFT eine glatte Oberfläche zu erzielen. Da jedoch die Haftwirkung zwischen den Harzen und dem ITO (Pixel-Elektrode) gering ist, ist es erforderlich, vor der Aufbringung des ITO eine dünne Zwischenschicht aus einem anorganischen Stoff zu bilden, um zu verhindern, daß sich die ITO-Schicht während des Ätzvorgangs ablöst. Darüber hinaus ist die obere Verarbeitungstemperatur für diese Materialien, die im Bereich von 350 bis 400°C liegt, für eine Schutzschicht eines TFT zu hoch. Im allgemeinen können die Kennwerte des TFT durch die Temperatur beeinträchtigt werden, wenn die Verarbeitungstemperatur für die Isolierschicht oder die Schutzschicht über 250°C liegt. Ferner beträgt die Dielektrizitätskonstante von Polyimid 3,4 bis 3,8, ähnlich jener von SiN_x , die 3,5 beträgt. Deshalb kann die parasitäre Kapazität nicht hinreichend gesenkt werden.

Es ist offensichtlich, daß das mit der gestuften Oberfläche verbundene Problem durch Verwendung eines Materials gelöst werden kann, das eine glatte Oberfläche besitzt, wenn es als Schutz- oder Isolierschicht verwendet wird. Jedoch ist die Auswahl eines solchen Materials schwierig, wenn man verschiedene Einsatz- und Umgebungsbedingungen einer LCD-Anordnung in Betracht zieht. Die folgenden Bedingungen sollten für ein als Isolier- oder Schutzschicht verwendetes Material erfüllt sein.

Erstens sollte das Material, wenn es zur elektrischen Isolierung, z. B. zur Isolierung der Gate-Elektrode, eingesetzt wird, eine niedrige Dielektrizitätskonstante haben, um durch parasitäre Kapazitäten bedingte Fehler im Betrieb des Dünnschichttransistors zu vermeiden. Die Dielektrizitätskonstanten von SiN_x und SiO_2 für herkömmlichen Einsatz liegen bei etwa 7 bzw. 4. Zweitens sollte das Material hervorragende Isolationseigenschaften haben, also einen hohen Eigenleitwiderstand. Drittens sollte das Material, wenn es als Schutzschicht eingesetzt wird, eine gute Haftung gegenüber dem ITO besitzen, das auf der Schutzschicht aufgebracht wird, um eine Pixel-Elektrode zu bilden.

Dementsprechend ist die Erfindung auf eine Flüssigkristallanzeigeordnung und ein Herstellungsverfahren zu dafür gerichtet, die eines oder mehrere der Probleme ausräumt, die durch Beschränkungen und Nachteile des Standes der Technik bedingt sind.

Eine Aufgabe der vorliegenden Erfindung besteht in der Bereitstellung einer LCD-Anordnung mit einem Dünnschichttransistor-Substrat, dessen Oberfläche kein auf eine Mehrschichtstruktur zurückzuführendes gestuftes Profil aufweist.

Eine weitere Aufgabe der vorliegenden Erfindung besteht in der Bereitstellung einer LCD-Anordnung mit geringerer parasitärer Kapazität.

Eine weitere Aufgabe der vorliegenden Erfindung besteht in der Bereitstellung einer LCD-Anordnung, die frei ist von Problemen wie Elektronenfallen und geringer Haftung an der Grenzfläche zwischen einer Isolier- oder Schutzschicht und einer Halbleiterschicht.

Eine weitere Aufgabe der vorliegenden Erfindung besteht in der Bereitstellung einer LCD-Anordnung mit verbessertem Öffnungsverhältnis.

Um diese und weitere Vorteile zu erreichen, umfaßt die erfindungsgemäße Flüssigkristallanzeigeanordnung, wie anhand von Ausführungsbeispielen ausführlich beschrieben wird, ein Substrat; einen auf dem Substrat angeordneten Dünnschichttransistor mit einer Gate-Fläche, einer Source-Fläche, einer Drain-Fläche, einer Halbleiterschicht und einer Gate-Isolierschicht; und eine über dem Dünnschichttransistor angeordnete Schutzschicht, die ein Material aufweist, das aus fluoriertem Polyimid, Teflon, Cytop, Fluoropolyarylether, fluoriertem Paraxylol, PFCB (Perfluorcyclobutan) oder BCB (Benzocyclobuten) abgeleitet ist. 5

Nach einem anderen Gesichtspunkt umfaßt die Flüssigkristallanzeigeanordnung ein Substrat; und einen auf dem Substrat angeordneten Dünnschichttransistor mit einer Gate-Fläche, einer Source-Fläche, einer Drain-Fläche, einer Halbleiterschicht und einer Gate-Isolierschicht; wobei die Gate-Isolierschicht ein Material aufweist, das aus fluoriertem Polyimid, Teflon, Cytop, Fluoropolyarylether, fluoriertem Paraxylol, PFCB oder BCB abgeleitet ist. 10

Nach einem weiteren Gesichtspunkt weist das Verfahren zum Herstellen einer LCD-Anordnung, welche Schaltelemente mit Signalelektroden, Isolierschichten, Halbleiterschichten, dotierten Halbleiterschichten, Datenelektroden und Ausgangselektroden, mit den Datenelektroden verbundene Daten-Busleitungen, die Schaltelemente schützende Schutzschichten und mit den Ausgangselektroden verbundene Pixel-Elektroden umfaßt, wobei alle diese Elemente auf einem Substrat angeordnet sind, den Schritt auf, daß die Isolierschicht oder die Schutzschicht oder beide mit einem organischen Material gebildet werden. 15

Nach einem weiteren Gesichtspunkt umfaßt das Verfahren zum Herstellen einer LCD-Anordnung die Schritte, daß ein erstes Metall auf einem Substrat aufgebracht wird und durch selektives Entfernen des ersten Metalls eine Gate-Busleitung und eine Gate-Elektrode gebildet werden; daß eine Gate-Isolierschicht gebildet wird, indem auf der gesamten Oberfläche des Substrats, auf dem die Gate-Busleitung und die Gate-Elektrode bereits gebildet sind, ein organisches Material aufgebracht wird; daß auf der Gate-Isolierschicht nacheinander eigenleitfähiges Halbleitermaterial und dotiertes Halbleitermaterial aufgebracht werden und daß eine Halbleiterschicht und eine dotierte Halbleiterschicht gebildet werden, indem das eigenleitfähige Halbleitermaterial und das dotierte Halbleitermaterial selektiv entfernt werden; daß auf der gesamten Oberfläche des Substrats, auf dem die dotierte Halbleiterschicht bereits gebildet ist, ein zweites Metall aufgebracht wird und daß durch selektives Entfernen der zweiten Metallschicht eine Source-Busleitung, eine Source-Elektrode und eine Drain-Elektrode gebildet werden; daß eine Schutzschicht gebildet wird, indem auf der gesamten Oberfläche des Substrats, auf dem die Source-Elektrode und die Drain-Elektrode gebildet sind, ein anorganisches Material aufgebracht wird; daß in einem Teil der Schutzschicht über der Drain-Elektrode ein Verbindungsloch gebildet wird; und daß auf der gesamten Oberfläche des Substrats, auf dem die Schutzschicht mit anorganischem Material gebildet ist, ein transparentes leitfähiges Material aufgebracht wird und daß durch selektives Entfernen des transparenten leitfähigen Materials eine Pixel-Elektrode gebildet wird, die durch das Verbindungsloch elektrisch mit der Drain-Elektrode verbunden ist. 20 25 30

Nach einem weiteren Gesichtspunkt umfaßt das Verfahren zum Herstellen einer LCD-Anordnung die Schritte, daß nacheinander ein erstes Metall und ein dotiertes Halbleitermaterial auf einem Substrat aufgebracht werden und darauf eine Source-Busleitung, eine Source-Elektrode und eine Drain-Elektrode sowie eine dotierte Halbleiterschicht gebildet werden, indem das erste Metall und das dotierte Halbleitermaterial selektiv entfernt werden; daß auf dem Substrat, auf dem die dotierte Halbleiterschicht gebildet ist, eigenleitfähiges Halbleitermaterial aufgebracht wird und eine Halbleiterschicht gebildet wird, indem das eigenleitfähige Halbleitermaterial selektiv entfernt wird; daß eine Gate-Isolierschicht gebildet wird, indem auf der gesamten Oberfläche des Substrats, auf dem die Halbleiterschicht gebildet ist, ein organisches Material aufgebracht wird; daß auf der Gate-Isolierschicht ein zweites Metall aufgebracht wird und eine Gate-Elektrode sowie eine Gate-Busleitung gebildet werden, indem das zweite Metall selektiv entfernt wird; daß eine Schutzschicht gebildet wird, indem auf der gesamten Oberfläche des Substrats, auf dem die Gate-Elektrode und die Gate-Busleitung gebildet sind, ein anorganisches Material aufgebracht wird; daß in einem Abschnitt der Gate-Isolierschicht und der Schutzschicht über der Drain-Elektrode ein Verbindungsloch gebildet wird; und daß auf der Schutzschicht ein transparentes leitfähiges Material aufgebracht wird und eine Pixel-Elektrode gebildet wird, indem das transparente leitfähige Material selektiv entfernt wird, wobei die Pixel-Elektrode durch das Verbindungsloch elektrisch mit der Drain-Elektrode verbunden ist. 35 40 45 50

Nach einem weiteren Gesichtspunkt umfaßt das Verfahren zum Herstellen einer LCD-Anordnung die Schritte, daß nacheinander ein eigenleitfähiges Halbleitermaterial und ein dotiertes Halbleitermaterial auf einem Substrat aufgebracht werden und eine Halbleiterschicht und eine dotierte Halbleiterschicht gebildet werden, indem das eigenleitfähige Halbleitermaterial und das dotierte Halbleitermaterial selektiv entfernt werden; daß auf dem Substrat, auf dem die dotierte Halbleiterschicht gebildet ist, ein erstes Metall aufgebracht wird und daß eine Source-Busleitung, eine Source-Elektrode und eine Drain-Elektrode gebildet werden, indem das erste Metall selektiv entfernt wird; daß eine Gate-Isolierschicht gebildet wird, indem auf der gesamten Oberfläche des Substrats, auf dem die Source-Elektrode und die Drain-Elektrode gebildet sind, ein organisches Material aufgebracht wird; daß auf der Gate-Isolierschicht ein zweites Metall aufgebracht wird und eine Gate-Busleitung und eine Gate-Elektrode gebildet werden, indem das zweite Metall selektiv entfernt wird; daß eine Schutzschicht gebildet wird, indem auf der gesamten Oberfläche des Substrats, auf dem die Gate-Elektrode gebildet ist, ein anorganisches Material aufgebracht wird; daß in einem die Drain-Elektrode bedeckenden Teil der Gate-Isolierschicht und der Schutzschicht ein Verbindungsloch gebildet wird; und daß auf der Schutzschicht ein transparentes leitfähiges Material aufgebracht wird und eine Pixel-Elektrode gebildet wird, indem das transparente leitfähige Material selektiv entfernt wird, wobei die Pixel-Elektrode durch das Verbindungsloch elektrisch mit der Drain-Elektrode verbunden ist. 55 60 65

Nach einem weiteren Gesichtspunkt umfaßt das Verfahren zum Herstellen einer LCD-Anordnung die Schritte, daß ein erstes Metall auf einem Substrat aufgebracht wird und eine Gate-Busleitung und eine Gate-Elektrode

gebildet werden, indem das erste Metall selektiv entfernt wird; daß eine Gate-Isolierschicht gebildet wird, indem auf der gesamten Oberfläche des Substrats, auf dem die Gate-Busleitung und die Gate-Elektrode gebildet sind, ein anorganisches Material aufgebracht wird; daß auf der Gate-Isolierschicht nacheinander ein eigenleitfähiges Halbleitermaterial und ein dotiertes Halbleitermaterial aufgebracht werden und eine Halbleiterschicht und eine dotierte Halbleiterschicht gebildet werden, indem das eigenleitfähige Halbleitermaterial und das dotierte Halbleitermaterial selektiv entfernt werden; daß auf der gesamten Oberfläche des Substrats, auf dem die dotierte Halbleiterschicht gebildet ist, ein zweites Metall aufgebracht wird und eine Source-Busleitung, eine Source-Elektrode und eine Drain-Elektrode gebildet werden, indem das zweite Metall selektiv entfernt wird; daß eine Schutzschicht gebildet wird, indem auf der gesamten Oberfläche des Substrats, auf dem die Source-Elektrode und die Drain-Elektrode gebildet sind, ein organisches Material aufgebracht wird; daß in einem die Drain-Elektrode bedeckenden Teil der Schutzschicht ein Verbindungsloch gebildet wird; und daß auf dem Substrat, auf dem die Schutzschicht gebildet ist, ein transparentes leitfähiges Material aufgebracht wird und eine Pixel-Elektrode gebildet wird, indem das transparente leitfähige Material selektiv entfernt wird, wobei die Pixel-Elektrode durch das Verbindungsloch elektrisch mit der Drain-Elektrode verbunden ist.

Nach einem weiteren Gesichtspunkt umfaßt das Verfahren zum Herstellen einer LCD-Anordnung die Schritte, daß auf einem Substrat nacheinander ein erstes Metall und ein dotiertes Halbleitermaterial aufgebracht werden und darauf eine Source-Busleitung, eine Source-Elektrode, eine Drain-Elektrode und eine dotierte Halbleiterschicht gebildet werden, indem das erste Metall und das dotierte Halbleitermaterial selektiv entfernt werden; daß auf dem Substrat, auf dem die dotierte Halbleiterschicht gebildet ist, ein eigenleitfähiges Halbleitermaterial aufgebracht wird und eine Halbleiterschicht gebildet wird, indem das eigenleitfähige Halbleitermaterial selektiv entfernt wird; daß eine Gate-Isolierschicht gebildet wird, indem auf der gesamten Oberfläche des Substrats, auf dem die Halbleiterschicht gebildet ist, ein anorganisches Material aufgebracht wird; daß auf der Gate-Isolierschicht ein zweites Metall aufgebracht wird und eine Gate-Elektrode und eine Gate-Busleitung gebildet werden, indem das zweite Metall selektiv entfernt wird; daß eine Schutzschicht gebildet wird, indem auf der gesamten Oberfläche des Substrats, auf dem die Gate-Elektrode und die Gate-Busleitung gebildet sind, ein organisches Material aufgebracht wird; daß in der Gate-Isolierschicht und der Schutzschicht über der Drain-Elektrode ein Verbindungsloch gebildet wird; und daß auf der Schutzschicht ein transparentes leitfähiges Material aufgebracht wird und eine Pixel-Elektrode gebildet wird, indem das transparente leitfähige Material selektiv entfernt wird, wobei die Pixel-Elektrode durch das Verbindungsloch elektrisch mit der Drain-Elektrode verbunden ist.

Nach einem weiteren Gesichtspunkt umfaßt das Verfahren zum Herstellen einer LCD-Anordnung die Schritte, daß nacheinander ein eigenleitfähiges Halbleitermaterial und ein dotiertes Halbleitermaterial auf einem Substrat aufgebracht werden und eine Halbleiterschicht und eine dotierte Halbleiterschicht gebildet werden, indem das eigenleitfähige Halbleitermaterial und das dotierte Halbleitermaterial selektiv entfernt werden; daß auf dem Substrat, auf dem die dotierte Halbleiterschicht gebildet ist, ein erstes Metall aufgebracht wird und daß eine Source-Busleitung, eine Source-Elektrode und eine Drain-Elektrode gebildet werden, indem das erste Metall selektiv entfernt wird; daß eine Gate-Isolierschicht gebildet wird, indem auf der gesamten Oberfläche des Substrats, auf dem die Source-Elektrode und die Drain-Elektrode gebildet sind, ein anorganisches Material aufgebracht wird; daß auf der Gate-Isolierschicht ein zweites Metall aufgebracht wird und eine Gate-Busleitung und eine Gate-Elektrode gebildet werden, indem das zweite Metall selektiv entfernt wird; daß eine Schutzschicht gebildet wird, indem auf der gesamten Oberfläche des Substrats, auf dem die Gate-Elektrode gebildet ist, ein organisches Material aufgebracht wird; daß in der Gate-Isolierschicht und der Schutzschicht über der Drain-Elektrode ein Verbindungsloch gebildet wird; und daß auf der Schutzschicht ein transparentes leitfähiges Material aufgebracht wird und eine Pixel-Elektrode gebildet wird, indem das transparente leitfähige Material selektiv entfernt wird, wobei die Pixel-Elektrode durch das Verbindungsloch elektrisch mit der Drain-Elektrode verbunden ist.

Nach einem weiteren Gesichtspunkt umfaßt das Verfahren zum Herstellen einer LCD-Anordnung die Schritte, daß ein erstes Metall auf einem Substrat aufgebracht wird und eine Gate-Busleitung und eine Gate-Elektrode gebildet werden, indem das erste Metall selektiv entfernt wird; daß eine Gate-Isolierschicht gebildet wird, indem auf der gesamten Oberfläche des Substrats, auf dem die Gate-Busleitung und die Gate-Elektrode gebildet sind, ein organisches Material aufgebracht wird; daß auf der Gate-Isolierschicht nacheinander ein eigenleitfähiges Halbleitermaterial und ein dotiertes Halbleitermaterial aufgebracht werden und eine Halbleiterschicht und eine dotierte Halbleiterschicht gebildet werden, indem das eigenleitfähige Halbleitermaterial und das dotierte Halbleitermaterial selektiv entfernt werden; daß auf der gesamten Oberfläche des Substrats, auf dem die dotierte Halbleiterschicht gebildet ist, ein zweites Metall aufgebracht wird und eine Source-Busleitung, eine Source-Elektrode und eine Drain-Elektrode gebildet werden, indem das zweite Metall selektiv entfernt wird; daß eine Schutzschicht gebildet wird, indem auf der gesamten Oberfläche des Substrats, auf dem die Source-Elektrode und die Drain-Elektrode gebildet sind, ein organisches Material aufgebracht wird; daß in einem die Drain-Elektrode bedeckenden Teil der Schutzschicht ein Verbindungsloch gebildet wird; und daß auf der gesamten Oberfläche des Substrats, auf dem die Schutzschicht gebildet ist, ein transparentes leitfähiges Material aufgebracht wird und eine Pixel-Elektrode gebildet wird, indem das transparente leitfähige Material selektiv entfernt wird, wobei die Pixel-Elektrode durch das Verbindungsloch elektrisch mit der Drain-Elektrode verbunden ist.

Nach einem weiteren Gesichtspunkt umfaßt das Verfahren zum Herstellen einer LCD-Anordnung die Schritte, daß auf einem Substrat nacheinander ein erstes Metall und ein dotiertes Halbleitermaterial aufgebracht werden und darauf eine Source-Busleitung, eine Source-Elektrode, eine Drain-Elektrode und eine dotierte Halbleiterschicht gebildet werden, indem das erste Metall und das dotierte Halbleitermaterial selektiv entfernt werden; daß auf dem Substrat, auf dem die dotierte Halbleiterschicht gebildet ist, eigenleitfähiges Halbleitermaterial aufgebracht wird und eine Halbleiterschicht gebildet wird, indem das eigenleitfähige Halbleitermaterial

selektiv entfernt wird; daß eine Gate-Isolierschicht gebildet wird, indem auf der gesamten Oberfläche des Substrats, auf dem die Halbleiterschicht gebildet ist, ein organisches Material aufgebracht wird; daß auf der Gate-Isolierschicht ein zweites Metall aufgebracht wird und eine Gate-Elektrode und eine Gate-Busleitung gebildet werden, indem das zweite Metall selektiv entfernt wird; daß eine Schutzschicht gebildet wird, indem auf der gesamten Oberfläche des Substrats, auf dem die Gate-Elektrode und die Gate-Busleitung gebildet sind, ein organisches Material aufgebracht wird; daß in der Gate-Isolierschicht und der Schutzschicht über der Drain-Elektrode ein Verbindungsloch gebildet wird; und daß auf der Schutzschicht ein transparentes leitfähiges Material aufgebracht wird und eine Pixel-Elektrode gebildet wird, indem das transparente leitfähige Material selektiv entfernt wird, wobei die Pixel-Elektrode durch das Verbindungsloch elektrisch mit der Drain-Elektrode verbunden ist.

Nach einem weiteren Gesichtspunkt umfaßt das Verfahren zum Herstellen einer LCD-Anordnung die Schritte, daß nacheinander ein eigenleitfähiges Halbleitermaterial und ein dotiertes Halbleitermaterial auf einem Substrat aufgebracht werden und eine Halbleiterschicht und eine dotierte Halbleiterschicht gebildet werden, indem das eigenleitfähige Halbleitermaterial und das dotierte Halbleitermaterial selektiv entfernt werden; daß auf dem Substrat, auf dem die dotierte Halbleiterschicht gebildet ist, ein erstes Metall aufgebracht wird und daß eine Source-Busleitung, eine Source-Elektrode und eine Drain-Elektrode gebildet werden, indem das erste Metall selektiv entfernt wird; daß eine Gate-Isolierschicht gebildet wird, indem auf der gesamten Oberfläche des Substrats, auf dem die Source-Elektrode und die Drain-Elektrode gebildet sind, ein organisches Material aufgebracht wird; daß auf der Gate-Isolierschicht ein zweites Metall aufgebracht wird und eine Gate-Busleitung und eine Gate-Elektrode gebildet werden, indem das zweite Metall selektiv entfernt wird; daß eine Schutzschicht gebildet wird, indem auf der gesamten Oberfläche des Substrats, auf dem die Gate-Elektrode gebildet ist, ein organisches Material aufgebracht wird; daß in der Isolierschicht und der Schutzschicht über der Drain-Elektrode ein Verbindungsloch gebildet wird; und daß auf der gesamten Oberfläche der Schutzschicht ein transparentes leitfähiges Material aufgebracht wird und eine Pixel-Elektrode gebildet wird, indem das transparente leitfähige Material selektiv entfernt wird, wobei die Pixel-Elektrode durch das Verbindungsloch elektrisch mit der Drain-Elektrode verbunden ist.

Nach einem weiteren Gesichtspunkt umfaßt die LCD-Anordnung ein Substrat, auf dem Substrat gebildete Signal-Busleitungen und Daten-Busleitungen, mit den Signal- und Daten-Busleitungen verbundene Schaltelemente, eine die Schaltelemente schützende Schutzschicht aus Isoliermaterial, und von den Schaltelementen ansteuerbare Pixel-Elektroden, wobei wenigstens ein Bestandteil der Schaltelemente und der Schutzschicht aus einem organischen Material besteht.

Nach einem weiteren Gesichtspunkt umfaßt die LCD-Anordnung zur Anzeige von Bildinformation ein Substrat; Gate-Busleitungen zum Zuführen von Gate-Signalen für die Bildinformationsdaten; Gate-Elektroden, die von den Gate-Busleitungen abgezweigt sind; eine Gate-Isolierschicht aus organischem Material, welche die Gate-Busleitungen und die Gate-Elektroden bedeckt; eine auf der Gate-Isolierschicht gebildete Halbleiterschicht; eine auf der Halbleiterschicht gebildete dotierte Halbleiterschicht; Source-Busleitungen zum Zuführen von Bildinformationsdaten; Source-Elektroden, die aus den Source-Busleitungen abgezweigt sind und mit der Halbleiterschicht verbunden sind; Drain-Elektroden, die den Source-Elektroden gegenüberliegen und mit der Halbleiterschicht verbunden sind; eine Schutzschicht, welche die vorstehend genannten, auf dem Substrat gebildeten Elemente bedeckt; und Pixel-Elektroden, die mit den Drain-Elektroden elektrisch verbunden sind.

Nach einem weiteren Gesichtspunkt umfaßt die LCD-Anordnung zur Anzeige von Bildinformation ein Substrat; Gate-Busleitungen zum Zuführen von Gate-Signalen für die Bildinformationsdaten; Gate-Elektroden, die von den Gate-Busleitungen abgezweigt sind; eine Gate-Isolierschicht, welche die Gate-Busleitungen und die Gate-Elektroden bedeckt; eine auf der Gate-Isolierschicht gebildete Halbleiterschicht; eine auf der Halbleiterschicht gebildete dotierte Halbleiterschicht; Source-Busleitungen zum Zuführen von Bildinformationsdaten; Source-Elektroden, die von den Source-Busleitungen abgezweigt und mit der Halbleiterschicht verbunden sind; Drain-Elektroden, die den Source-Elektroden gegenüberliegen und mit der Halbleiterschicht verbunden sind; eine Schutzschicht aus organischem Material, welche die vorstehend genannten, auf dem Substrat gebildeten Elemente bedeckt; Pixel-Elektroden, die mit den Drain-Elektroden elektrisch verbunden sind.

Nach einem weiteren Gesichtspunkt umfaßt die LCD-Anordnung zur Anzeige von Bildinformation ein Substrat; Gate-Busleitungen zum Zuführen von Gate-Signalen für die Bildinformationsdaten; Gate-Elektroden, die von den Gate-Busleitungen abgezweigt sind; eine Gate-Isolierschicht aus organischem Material, welche die Gate-Busleitungen und die Gate-Elektroden bedeckt; eine auf der Gate-Isolierschicht gebildete Halbleiterschicht; eine auf der Halbleiterschicht gebildete dotierte Halbleiterschicht; Source-Busleitungen zum Zuführen von Bildinformationsdaten; Source-Elektroden, die von den Source-Busleitungen abgezweigt und mit der Halbleiterschicht verbunden sind; Drain-Elektroden, die den Source-Elektroden gegenüberliegen und mit der Halbleiterschicht verbunden sind; eine Schutzschicht aus organischem Material, welche die vorstehend genannten Elemente bedeckt; und Pixel-Elektroden, die mit den Drain-Elektroden elektrisch verbunden sind.

Nach einem weiteren Gesichtspunkt umfaßt ein Transistorsubstrat für eine Flüssigkristallanzeigeordnung ein Substrat; einen auf dem Substrat angeordneten Transistor mit einer Gate-Fläche, einer Source-Fläche, einer Drain-Fläche, einer Halbleiterschicht und einer Gate-Isolierschicht; und einer über dem Transistor angeordneten Schutzschicht mit wenigstens einem Material aus folgender Gruppe: fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylol, PFCB und BCB.

Nach einem weiteren Gesichtspunkt umfaßt ein Transistorsubstrat für eine Flüssigkristallanzeigeordnung ein Substrat; und einen auf dem Substrat angeordneten Dünnschichttransistor mit einer Gate-Fläche, einer Source-Fläche, einer Drain-Fläche, einer Halbleiterschicht und einer Gate-Isolierschicht, wobei die Gate-Isolierschicht wenigstens ein Material aus folgender Gruppe aufweist: fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylol, PFCB und BCB.

Nach einem weiteren Gesichtspunkt umfaßt ein Verfahren zum Herstellen eines Dünnschichttransistors auf einem Substrat für eine Flüssigkristallanzeigeanordnung die Schritte, daß auf dem Substrat ein Transistor mit einer Gate-Fläche, einer Source-Fläche, einer Drain-Fläche, einer Halbleiterschicht und einer Gate-Isolierschicht gebildet wird; und daß über dem Transistor eine Schutzschicht mit wenigstens einem Material aus folgender Gruppe gebildet wird: fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylol, PFCB und BCB.

Nach einem weiteren Gesichtspunkt umfaßt ein Verfahren zum Herstellen eines Dünnschichttransistors auf einem Substrat für eine Flüssigkristallanzeigeanordnung die Schritte, daß auf dem Substrat ein Dünnschichttransistor mit einer Gate-Fläche, einer Source-Fläche, einer Drain-Fläche, einer Halbleiterschicht und einer Gate-Isolierschicht gebildet wird, wobei die Gate-Isolierschicht wenigstens ein Material aus folgender Gruppe aufweist: fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylol, PFCB und BCB.

Die beiliegenden Zeichnungen veranschaulichen bevorzugte Ausführungsbeispiele der Erfindung und dienen zusammen mit der Beschreibung zur Erläuterung der Grundsätze der Erfindung.

In den Zeichnungen zeigen

Fig. 1 eine Draufsicht auf eine herkömmliche Flüssigkristallanzeigeanordnung;

Fig. 2A bis 2F Schnitte eines umgedreht geschichteten Dünnschichttransistors für eine herkömmliche Flüssigkristallanzeigeanordnung, entlang der in Fig. 1 eingezeichneten Schnittlinie I-I;

Fig. 3A bis 3D Schnitte eines geschichteten Dünnschichttransistors für eine herkömmliche Flüssigkristallanzeigeanordnung, entlang der in Fig. 1 eingezeichneten Schnittlinie I-I;

Fig. 4A bis 4D Schnitte eines Dünnschichttransistors koplanarer Bauart für eine herkömmliche Flüssigkristallanzeigeanordnung, entlang der in Fig. 1 eingezeichneten Schnittlinie I-I;

Fig. 5A bis 5G Schnitte eines Dünnschichttransistors selbstausgerichteter Bauart für eine herkömmliche Flüssigkristallanzeigeanordnung, entlang der in Fig. 1 eingezeichneten Schnittlinie I-I;

Fig. 6 eine perspektivische Ansicht einer Mehrschichtstruktur aus dünnen Schichten für eine herkömmliche Flüssigkristallanzeigeanordnung;

Fig. 7A und 7B Kennlinien des Dünnschichttransistors in einer Flüssigkristallanzeigeanordnung mit organischem Material;

Fig. 8 eine perspektivische Ansicht einer Mehrschichtstruktur aus dünnen Schichten für eine Flüssigkristallanzeigeanordnung, für die erfindungsgemäß ein organisches Material verwendet wird;

Fig. 9 eine Draufsicht auf eine erfindungsgemäße Flüssigkristallanzeigeanordnung;

Fig. 10A bis 10G Schnitte einer Flüssigkristallanzeigeanordnung mit einem umgedreht geschichteten Transistor nach einer ersten Ausführungsform der Erfindung, wobei die Schnitte jeweils entlang der in Fig. 9 eingezeichneten Linie II-II gezeigt sind;

Fig. 11A bis 11F Schnitte einer Flüssigkristallanzeigeanordnung mit einem geschichteten Transistor nach einer zweiten Ausführungsform der Erfindung, wobei die Schnitte jeweils entlang der in Fig. 9 eingezeichneten Linie II-II gezeigt sind;

Fig. 12A bis 12F Schnitte einer Flüssigkristallanzeigeanordnung mit einem koplanaren Transistor nach einer dritten Ausführungsform der Erfindung, wobei die Schnitte jeweils entlang der in Fig. 9 eingezeichneten Linie II-II gezeigt sind;

Fig. 13A bis 13G Schnitte einer Flüssigkristallanzeigeanordnung mit einem selbst-ausgerichteten koplanaren Transistor nach einer vierten Ausführungsform der Erfindung, wobei die Schnitte jeweils entlang der in Fig. 9 eingezeichneten Linie II-II gezeigt sind;

Fig. 14A bis 14G Schnitte verschiedener Dünnschichttransistoren für eine Flüssigkristallanzeigeanordnung nach einer fünften Ausführungsform der Erfindung;

Fig. 15A bis 15E Schnitte verschiedener Dünnschichttransistoren für eine Flüssigkristallanzeigeanordnung, die nach einer sechsten Ausführungsform der Erfindung eine anorganische Schicht zwischen der aus organischem Material bestehenden Schutzschicht und der Pixel-Elektrode aufweist;

Fig. 16A bis 16G Schnitte verschiedener Dünnschichttransistoren für eine Flüssigkristallanzeigeanordnung, die eine erste anorganische Schicht zwischen der aus organischem Material bestehenden Schutzschicht und der Pixel-Elektrode und eine zweite anorganische Schicht zwischen einer Halbleiterschicht und einer organischen Schicht nach einer sechsten Ausführungsform der Erfindung aufweist;

Fig. 17A bis 17D Schnitte des Aufbaus verschiedener Dünnschichttransistoren nach einer siebten Ausführungsform der Erfindung;

Fig. 18A bis 18D Schnitte des Aufbaus verschiedener Dünnschichttransistoren nach einer siebten Ausführungsform der Erfindung, wobei zwischen einer Halbleiterschicht und einer Gate-Isolierschicht eine anorganische Schicht gebildet ist;

Fig. 19A bis 19F Schnitte des Aufbaus verschiedener Dünnschichttransistoren nach einer achten Ausführungsform der Erfindung;

Fig. 20A bis 20E Schnitte des Aufbaus verschiedener Dünnschichttransistoren nach einer achten Ausführungsform der Erfindung, wobei zwischen der Pixel-Elektrode und der Schutzschicht eine anorganische Schicht gebildet ist; und

Fig. 21A und 21B Schnitte des Aufbaus verschiedener Dünnschichttransistoren, insbesondere von umgedreht geschichteter Bauart, nach einer achten Ausführungsform der Erfindung.

Vor Erörterung der Einzelheiten der bevorzugten Ausführungsformen der Erfindung werden einige Informationen betreffend organische Stoffe diskutiert.

Bei der Erfindung wird ein organisches Material mit sehr guten Glättungs- oder Nivellierungseigenschaften verwendet, da es die oben erwähnten Bedingungen erfüllt. Neue Probleme könnten jedoch entstehen, wenn ein organisches Material in einer LCD-Anordnung als Isolierschicht und als Schutzschicht verwendet wird. Dabei

handelt es sich um folgende Probleme.

Bei der Herstellung einer LCD-Anordnung, die einen Dünnschichttransistor als Schaltelement verwendet, ist die Technologie zur Herstellung eines Dünnschichttransistors besonders wichtig und kompliziert. Insbesondere hängt die Leistung des Schaltelements von der Wahl der TFT-Materialien ab. Wenn ein neues TFT-Material ausprobiert wird, ist es schwierig, die sich ergebende Leistung vorherzusehen. Wenn, wie bei der vorliegenden Erfindung, ein organisches Material als Gate-Isolierschicht oder als Schutzschicht verwendet wird, kommt das organische Material mit einem Halbleitermaterial in Kontakt, in dem eine Kanalschicht des TFT gebildet wird. Dabei kann ein unerwartetes Problem auftreten. Herkömmlich wurde zur Bildung einer Isolierschicht oder einer Halbleiterschicht ein chemischer Dampfabscheidungsverfahren (CVD: chemical vapor deposition) verwendet. Die chemische Reaktion in der CVD-Kammer zur Bildung von SiO_2 als Gate-Isolierschicht läuft wie folgt ab:



Und die chemische Reaktion in der CVD-Kammer zur Bildung von Si_3N_4 , das hauptsächlich als Schutzschicht verwendet wird, läuft wie folgt ab:



Die chemische Reaktion zur Bildung von Silizium läuft schließlich wie folgt ab:



Wenn die siliziumhaltige Isolierschicht oder Schutzschicht auf einer Silizium-Halbleiterschicht gebildet wird, wird die Isolierschicht bzw. Schutzschicht mittels eines ähnlichen CVD-Verfahrens gebildet, wie das zur Bildung der Halbleiterschicht. Auf diese Weise werden an der Grenzfläche zwischen der Schicht und der Silizium-Halbleiterschicht chemische Bindungen erzeugt. Ein organisches Material, das auf der Oberfläche des Silizium-Halbleiters durch Schleuderbeschichtung aufgebracht wird, schafft an der Grenzfläche keine chemischen Bindungen. Dies führt zu folgenden zwei Problemen.

Das erste Problem ist ein Ablösung der organischen Schicht von der Halbleiterschicht. Das zweite Problem ist das Auftreten von Ladungsfallen; an der Grenzfläche entstehen Fallen für elektrische Ladungen und verursachen instabile TFT-Kennwerte. Im allgemeinen ist es wünschenswert, daß die Ladungsträger negativ geladene Elektronen sind und nicht positiv geladene Löcher, da ein TFT für eine LCD-Anordnung eine kurze Reaktionszeit benötigt. Deshalb wird für die Kanalschicht ein p-Halbleiter, oder ein eigenleitfähiger (intrinsischer) Halbleiter verwendet, und als Dotierungsstoff für die Source-Elektrode oder die Drain-Elektrode wird ein n^+ -Halbleiter verwendet. Wenn an die Gate-Elektrode eine positive Spannung angelegt wird, werden in der an die Gate-Isolierschicht angrenzenden Halbleiterschicht Elektronen induziert, und ein n-Kanal wird gebildet. Dann können in der Source-Elektrode vorhandene Elektronen durch die Kanalschicht zur Drain-Elektrode wandern. Hierbei ist der Source-Drain-Strom durch die Gate-Spannung bestimmt. Wenn für die Gate-Isolierschicht andererseits ein organisches Material verwendet wird, gibt es auf der Oberfläche der Halbleiterschicht Elektronenfallen infolge der freien Bindungsradikale zwischen dem organischen Material und dem Halbleitermaterial. Dies hat zur Folge, daß in den Elektronenfallen Elektronen gefangen werden, wenn ein n-Kanal gebildet wird. Diese Elektronen verbleiben selbst dann auf der Oberfläche der Halbleiterschicht, wenn die angelegte Spannung abgeschaltet wird und der TFT sich im nicht-leitenden Zustand befindet. Wenn der TFT wieder eingeschaltet wird, wird er also aufgrund der gefangenen Elektronen selbst bei einer relativ niedrigen angelegten Spannung leitend. Die Einschaltkennlinie des TFT bewegt sich somit zur negativen Richtung der Gate-Spannung (Fig. 7A und 7B). Deshalb ist zur Beseitigung solcher Probleme eine bestimmte Behandlung der Grenzfläche zwischen dem organischen Material und der Halbleiterschicht notwendig.

Nachstehend wird näher auf die bevorzugten Ausführungsformen der Erfindung eingegangen. Beispiele für diese Ausführungsformen sind in den beiliegenden Zeichnungen veranschaulicht.

Bei der Erfindung wird für eine Gate-Isolierschicht und/oder eine Schutzschicht ein organisches Material gewählt, das von BCB (Benzocyclobuten) abgeleitet ist. BCB zeigt gegenüber Polyimid überlegene Eigenschaften, wie in Tabelle 1 gezeigt.

Tabelle 1

Vergleich zwischen BCB und Polyimid hinsichtlich einiger Eigenschaften

5	Eigenschaft	BCB	Polyimid
	-----	-----	-----
10	Dielektrizitäts- konstante	2,7	3,4-3,8
	Spezifischer Widerstand (Ωcm)	10^{19}	10^{15}
15	Wassergehalt (%)	0,25	1,7
	Bearbeitungs- temperatur ($^{\circ}\text{C}$)	200-250	350-400
20	Verträglichkeit mit ITO	gut	schlecht
	-----	-----	-----

25 Für eine LCD-Anordnung kann auch ein von PFCB abgeleitetes organisches Material verwendet werden, das
überlegene Eigenschaften besitzt, indem die Dielektrizitätskonstante 2,3 bis 2,4 und der Glättungsgrad (DOP:
degree of planarization) mehr als 90% beträgt. Zur Herstellung einer LCD-Anordnung kann auch ein organi-
sches Material wie fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether oder fluoriertes Paraxylol, die alle
30 eine Dielektrizitätskonstante von unter 3 aufweisen, verwendet werden. Tabelle 2 zeigt die Dielektrizitätskon-
stanten dieser Materialien.

Tabelle 2

Dielektrizitätskonstanten organischer Materialien, die für eine erfindungsgemäße LCD-Anordnung verwendet werden

Organisches Material	Dielektrizitätskonstante	Aufbau	
Fluoriertes d-Polyimid	2,7	$\left[\text{R}_1 - \underset{\text{CF}_3}{\overset{\text{CF}_3}{\text{C}}} - \text{R}_1 - \text{N} \begin{array}{c} \text{CO} \\ \diagup \quad \diagdown \\ \text{CO} \end{array} \text{R}_2 - \underset{\text{CF}_3}{\overset{\text{CF}_3}{\text{C}}} - \text{R}_2 - \text{N} \begin{array}{c} \text{CO} \\ \diagup \quad \diagdown \\ \text{CO} \end{array} \right]_n$	10 15
Teflon	2,1 - 1,9	$\left[\text{CF}_2 - \text{CF}_2 \right]_m \left[\begin{array}{c} \text{CF} - \text{CF} \\ \diagup \quad \diagdown \\ \text{O} - \text{C} - \text{O} \\ \diagdown \quad \diagup \\ \text{CF}_3 - \text{CF}_3 \end{array} \right]_n$	20
Cytop	2,1	$\left[\text{CF}_2 - \text{CF} \begin{array}{c} (\text{CF}_2)_x \\ \diagdown \quad \diagup \\ (\text{CF}_2)_y \end{array} \text{CF} - (\text{CF}_2)_z \right]_n$	25 30
BCB	2,7	$\left[\text{CH} \begin{array}{c} \text{CH}_2 \\ \diagdown \quad \diagup \\ \text{CH}_2 \end{array} \text{CH} - \text{CH} - \text{Si} \begin{array}{c} \text{CH}_3 \\ \\ \text{CH}_3 \end{array} \text{O} - \text{Si} \begin{array}{c} \text{CH}_3 \\ \\ \text{CH}_3 \end{array} \text{CH} \begin{array}{c} \text{CH}_2 \\ \diagdown \quad \diagup \\ \text{CH}_2 \end{array} \right]_n$ <p style="text-align: center;">OR</p> $\left[\text{CH} \begin{array}{c} \text{CH}_2 \\ \diagdown \quad \diagup \\ \text{CH}_2 \end{array} \text{CH} - \text{CH} - \text{Si} \begin{array}{c} \text{Me} \\ \\ \text{Me} \end{array} \text{O} - \text{Si} \begin{array}{c} \text{Me} \\ \\ \text{Me} \end{array} \text{CH} \begin{array}{c} \text{CH}_2 \\ \diagdown \quad \diagup \\ \text{CH}_2 \end{array} \right]_n$	35 40 45
Fluorpolyarylether	2,6	$\left[\text{R} - \text{O} - \text{C}_6\text{F}_4 - \text{C}_6\text{F}_4 - \text{O} \right]_n$	50
Fluoriertes d-Paraxylool	2,4	$\left[\text{CF}_2 - \text{C}_6\text{H}_4 - \text{CF}_2 \right]_n$	55

Unter Bezugnahme auf die Fig. 10A bis 10G wird nachstehend die erste bevorzugte Ausführungsform der vorliegenden Erfindung beschrieben. Auf einem transparenten Glassubstrat 111 wird ein erstes Metall, z. B. Cr, Ti, Al, Ti—Mo, Mo—Ta, aufgebracht (in einer Stärke von 1000 bis 2000 Å). Die Schicht wird selektiv abgeätzt, um eine (nicht dargestellte) Gate-Busleitung und eine Gate-Elektrode 113 zu bilden, wie aus Fig. 10A ersichtlich. Dann wird die gesamte Oberfläche mit einem organischen Material, z. B. fluoriertem Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertem Paraxylool, PFCB oder BCB, beschichtet, um eine (ungefähr 4000 Å dicke) Gate-Isolierschicht 157 zu bilden.

Hierbei beträgt die Dicke der organischen Schicht auf der Gate-Elektrode 113 ungefähr 2000 Å, aber auf dem

Substrat ungefähr 4000 Å, wie aus Fig. 10B ersichtlich. Infolgedessen hat die organische Schicht eine glatte Oberfläche. Somit können durch dieses erfindungsgemäße Verfahren der Beschichtung mit einem organischen Material Probleme wie Leitungsunterbrechung und/oder Kurzschlüsse, wie sie beim Auftragen einer dünnen Schicht auf einer gestuften Fläche auftreten, vermieden werden. Außerdem bietet die organische Isolierschicht eine ausreichende Isolation, obwohl die Gate-Isolierschicht auf der Gate-Elektrode relativ dünn ist. Dies liegt daran, daß der spezifische Widerstand des organischen Materials höher ist als der spezifische Widerstand der anorganischen Materialien, die herkömmlich für die Gate-Isolierschicht verwendet werden. Andererseits kann der TFT nicht wirksam arbeiten, wenn die Dielektrizitätskonstante der Gate-Isolierschicht so niedrig ist, daß der Feldeffekt des TFT nicht richtig zustandekommt. Die Verwendung der organischen Schicht anstelle einer anorganischen Schicht auf einer Gate-Elektrode beeinträchtigt die Funktion eines TFT jedoch nicht. Dies liegt daran, daß die Dicke der organischen Schicht auf dem TFT vermindert ist, um den Einfluß der niedrigen Dielektrizitätskonstante der organischen Schicht auf den Feldeffekt auszugleichen.

Als nächstes werden auf der Gate-Isolierschicht 157 ein amorphes Halbleitermaterial und ein dotiertes Halbleitermaterial aufgebracht und selektiv abgeätzt, um eine Halbleiterschicht 119 und eine dotierte Halbleiterschicht 121 zu bilden (Fig. 10C). Dann wird ein zweites Metall, wie Cr, Mo, Ti, eine Cr-Legierung oder eine Al-Legierung, auf der dotierten Halbleiterschicht 121 aufgebracht und selektiv abgeätzt, um eine Signal-Busleitung 125, eine Source-Elektrode 123 und eine Drain-Elektrode 127 zu bilden. Der zutage liegende Teil der dotierten Halbleiterschicht 121 zwischen der Source-Elektrode 123 und der Drain-Elektrode 127 wird dann entfernt (Fig. 10D), indem die bereits gebildeten Elektroden (123 und 127) als Masken genutzt werden. Hierbei ergeben die Source-Elektrode und die Drain-Elektrode einen ohmschen Kontakt zur dotierten Halbleiterschicht 121. Anschließend wird auf der gesamten Oberfläche eine Schutzschicht 159 aufgebracht, wie aus Fig. 10E ersichtlich. Die Schutzschicht besteht aus einem organischen Material, wie z. B. fluoriertem Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertem Paraxylol, PFCB oder BCB. In der Schutzschicht über der Drain-Elektrode 127 wird ein Verbindungsloch gebildet. Dann wird auf der gesamten Oberfläche ITO aufgebracht und selektiv abgeätzt, um eine Pixel-Elektrode 131 zu bilden, die durch das Verbindungsloch mit der Drain-Elektrode 127 verbunden ist, wie aus Fig. 10F ersichtlich.

Fig. 8 ist eine perspektivische Ansicht einer Kreuzungsstelle zwischen einer Gate-Busleitung und einer Signal-Busleitung. Wenn die Gate-Isolierschicht 157 auf der Gate-Busleitung 115 aufgebracht ist und die Signal-Busleitung 125 auf der Gate-Isolierschicht 157 aufgebracht ist, spiegelt sich die durch die Gate-Busleitung 115 bedingte Profilstufe nicht auf der Oberfläche der Gate-Isolierschicht 157 wider. Somit weist die auf der Schutzschicht gebildete Pixel-Elektrode selbst dann keinen Kurzschluß auf, wenn sie derart ausgebildet ist, daß sie Signal-Busleitungen oder Gate-Busleitungen überlappt. Infolge der niedrigen Dielektrizitätskonstanten des organischen Materials erfordert das verfahren außerdem keine Zwischenräume oder Spalte zwischen Pixel-Elektroden und Gate-Leitungen, Signalleitungen und Busleitungen. Folglich ist es, wie aus Fig. 9 ersichtlich, möglich, eine breitere Pixel-Elektrode als bei einem herkömmlichen Verfahren zu bilden. Dies ergibt ein verbessertes Öffnungsverhältnis. Das Öffnungsverhältnis kann um einen Wert von bis zu 80% gesteigert werden. Deshalb kann ohne lichtabschirmende Schicht ein Kontrast hoher Güte erzielt werden.

Bei der Herstellung der vorstehend beschriebenen LCD-Anordnung wird die dotierte Halbleiterschicht während des Ätzvorgangs, in dem die Source-Elektrode und die Drain-Elektrode gebildet werden, entfernt. Während des Abätzens der dotierten Halbleiterschicht kann es sein, daß auch die Halbleiterschicht unerwünschterweise abgeätzt wird. Eine Ätzstopperschicht 135 aus einem anorganischen Material kann zwischen der Halbleiterschicht und der dotierten Halbleiterschicht in einem Bereich, der oberhalb der Gate-Elektrode liegt und diese überlappt, gebildet werden, um einer solchen übermäßigen Ätzung vorzubeugen (Fig. 10G). Da die Ätzstopperschicht 135 eine zusätzliche Stufengestalt in den Aufbau des TFT einführt, ist die oben beschriebene Anwendung eines organischen Materials zur Bildung der Schutzschicht in diesem Fall besonders vorteilhaft.

Unter Bezugnahme auf die Fig. 11A bis 11F wird nachstehend die zweite bevorzugte Ausführungsform der vorliegenden Erfindung beschrieben. Ein Metall, z. B. Cr, Mo, Ti, eine Cr-Legierung oder eine Al-Legierung, wird auf ein transparentes Glassubstrat 111 aufgebracht, gefolgt von der Aufbringung eines dotierten amorphen Halbleitermaterials. Die beiden sich ergebenden Schichten werden miteinander selektiv abgeätzt, um darauf eine Signal-Busleitung 125, eine Source-Elektrode 123, eine Drain-Elektrode 127 und eine dotierte Halbleiterschicht 121 zu bilden, wie aus Fig. 11A ersichtlich. Dabei besitzt die dotierte Halbleiterschicht 121 einen ohmschen Kontakt zur Source-Elektrode und zur Drain-Elektrode. Dann wird ein Halbleitermaterial aufgebracht und selektiv abgeätzt, um auf dem Glassubstrat 111 eine Halbleiterschicht 119 zu bilden, die sich zwischen der Source-Elektrode 123 und der Drain-Elektrode 127 erstreckt und diese beiden teilweise überlappt. Die zutage liegenden Teile der dotierten Halbleiterschicht 121, die nicht von der Halbleiterschicht 119 bedeckt sind, werden ebenfalls entfernt, wie aus Fig. 11B ersichtlich. Als nächstes wird auf der gesamten Oberfläche ein organisches Material, z. B. fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylol, PFCB oder BCB, aufgebracht, um eine Gate-Isolierschicht 157 zu bilden. Die Verwendung eines organischen Materials mit hoher Glättungsfähigkeit führt zu einer glatten Oberfläche auf der Isolierschicht, wie aus Fig. 11C ersichtlich.

Als nächstes wird auf der Gate-Isolierschicht 157 ein zweites Metall, z. B. Cr, Ti, Ta, Al, Ti—Mo, Mo—Ta oder eine Al-Legierung, aufgebracht und selektiv abgeätzt, um eine (nicht dargestellte) Gate-Busleitung und eine Gate-Elektrode 113 über der Halbleiterschicht 119 zu bilden, wie aus Fig. 11D ersichtlich. Auf der gesamten Oberfläche wird ein organisches Material, z. B. fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylol, PFCB oder BCB, aufgebracht, um eine Schutzschicht 159 zu bilden, wie aus Fig. 11E ersichtlich. In der Schutzschicht und in der Isolierschicht wird über der Drain-Elektrode 127 ein Verbindungsloch gebildet. Dann wird ITO aufgebracht und selektiv abgeätzt, um eine Pixel-Elektrode 131 zu bilden, die durch das Verbindungsloch mit der Drain-Elektrode 127 in Verbindung steht, wie aus Fig. 11F ersichtlich.

Unter Bezugnahme auf die Fig. 12A bis 12F wird nachstehend die dritte bevorzugte Ausführungsform der

Erfindung beschrieben. Auf einem transparenten Glassubstrat 111 wird ein polykristalliner eigenleitfähiger Halbleiter aufgebracht, gefolgt von der Aufbringung eines dotierten Halbleitermaterials. Die beiden sich ergebenden Schichten werden miteinander selektiv abgeätzt, um eine Halbleiterschicht 119 und eine dotierte Halbleiterschicht 121 zu bilden, wie aus Fig. 12A ersichtlich. Außerdem wird ein erstes Metall, z. B. Cr, Mo, Ti oder Cr—Al, aufgebracht und selektiv abgeätzt, um eine Signal-Busleitung 125, eine Source-Elektrode 123 und eine Drain-Elektrode 127 zu bilden, wobei die Source-Elektrode und die Drain-Elektrode einander gegenüberliegen und jeweils einen Randbereich der von der dotierten Halbleiterschicht 121 bedeckten Halbleiterschicht 119 überlappen. Dann wird der zwischen der Source-Elektrode und der Drain-Elektrode zutage liegende Teil der dotierten Halbleiterschicht 121 entfernt, wobei die Source-Elektrode und die Drain-Elektrode als Masken verwendet werden (Fig. 12B). Die dotierte Halbleiterschicht 121 hat einen ohmschen Kontakt zur Source-Elektrode und zur Drain-Elektrode. Als nächstes wird auf der gesamten Oberfläche ein organisches Material, z. B. fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylol, PFCB oder BCB, aufgebracht, um eine Gate-Isolierschicht 157 zu bilden, wie aus Fig. 12C ersichtlich.

Auf der Gate-Isolierschicht 157 wird ein zweites Metall, z. B. Cr, Ti, Ta, Al, Ti—Mo oder Al—Ta, aufgebracht und selektiv abgeätzt, um eine (nicht dargestellte) Gate-Busleitung und eine Gate-Elektrode 113 über der Halbleiterschicht 119 zu bilden, wie aus Fig. 12D ersichtlich. Hierbei kann die Gate-Isolierschicht 157 zur selben Form wie die Gate-Elektrode geätzt werden. Als nächstes wird auf der gesamten Oberfläche ein organisches Material, z. B. fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylol, PFCB oder BCB, aufgebracht, um eine Schutzschicht 159 zu bilden, wie aus Fig. 12E ersichtlich. In der Schutzschicht 159 und der Gate-Isolierschicht 157 wird über der Drain-Elektrode 127 ein Verbindungsloch gebildet. Dann wird ITO aufgebracht und selektiv abgeätzt, um eine Pixel-Elektrode 131 zu bilden, wie aus Fig. 12F ersichtlich. Die Pixel-Elektrode 131 ist durch das Verbindungsloch hindurch elektrisch mit der Drain-Elektrode 127 verbunden.

Unter Bezugnahme auf die Fig. 13A bis 13G wird nachstehend die vierte bevorzugte Ausführungsform der vorliegenden Erfindung beschrieben. Auf einem transparenten Substrat 111 wird ein polykristallines Halbleitermaterial aufgebracht und selektiv abgeätzt, um eine Halbleiterschicht 119 zu bilden, wie aus Fig. 13A ersichtlich. Es gibt drei grundsätzliche Verfahren zur Bildung der polykristallinen Halbleiterschicht. Erstens kann polykristallines Silizium gebildet werden, indem amorphes Silizium aufgebracht und mit Laserlicht behandelt wird. Zweitens kann polykristallines Silizium gebildet werden, indem amorphes Silizium aufgebracht und thermisch behandelt wird. Drittens kann polykristallines Silizium unmittelbar aufgebracht werden. Als nächstes wird auf der gesamten Oberfläche ein organisches Material, z. B. fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylol, PFCB oder BCB, aufgebracht, um eine Gate-Isolierschicht 157 zu bilden. Dann wird auf der Isolierschicht ein erstes Metall, z. B. Cr, Ti, Ta, Al, Ti—Mo, Mo—Ta oder eine Al-Legierung, aufgebracht und selektiv abgeätzt, um eine (nicht dargestellte) Gate-Busleitung und eine Gate-Elektrode 113 zu bilden, wie in Fig. 13B gezeigt. Die Gate-Elektrode wird derart gebildet, daß sie sich ungefähr in der Mitte der Halbleiterschicht 119 befindet. Die beiden Randbereiche der Halbleiterschicht werden zu einer ersten dotierten Halbleiterschicht 121 ausgebildet, indem in die Halbleiterschicht 119 Verunreinigungs-Ionen implantiert werden, wobei die Gate-Elektrode 113 als Maske verwendet wird (Dotierungskonzentration 10^{14} bis 10^{15} cm^{-3}) (Fig. 13C). Dann wird über einem an die Gate-Elektrode 113 angrenzenden Teil der ersten dotierten Halbleiterschicht 121 eine lichtundurchlässige Schicht aufgebracht. Dann wird eine zweite dotierte Halbleiterschicht 121' gebildet, indem in den nicht von der lichtundurchlässigen Schicht bedeckten Teil der ersten dotierten Halbleiterschicht 121 Verunreinigungs-Ionen implantiert werden (Dotierungskonzentration 10^{16} bis 10^{18} cm^{-3}). Der von der lichtundurchlässigen Schicht bedeckte Teil ist der LDD-Abschnitt (LDD: lightly-doped drain) mit in niedrigerer Konzentration implantierten Verunreinigungs-Ionen (Fig. 13D).

Alternativ kann der unter Bezugnahme auf Fig. 13C beschriebene Schritt ausgelassen werden. In diesem Fall wird, nachdem eine lichtundurchlässige Schicht aufgebracht worden ist, um einen an die Gate-Elektrode 113 grenzenden Teil der Halbleiterschicht 119 zu bedecken, der nicht von der lichtundurchlässigen Schicht bedeckte Teil der Halbleiterschicht 119 zu einer dotierten Halbleiterschicht 121' ausgebildet, indem in ihn Verunreinigungs-Ionen implantiert werden (Dotierungskonzentration 10^{16} bis 10^{18} cm^{-3}). Hierbei wird der von der lichtundurchlässigen Schicht bedeckte Teil zu einem Versatzstück.

Als nächstes wird auf der gesamten Oberfläche ein organisches Material, z. B. fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylol, PFCB oder BCB, aufgebracht, um eine Schutzschicht 159 zu bilden, wie aus Fig. 13E ersichtlich. In der Schutzschicht 159 werden zu beiden Seiten der Gate-Elektrode 113 über der zweiten dotierten Halbleiterschicht 121' erste Verbindungslöcher gebildet. Dann wird ein zweites Metall, z. B. Cr, Mo, Ti oder Cr—Al, aufgebracht und selektiv abgeätzt, um eine Source-Elektrode 123, eine Drain-Elektrode 127 und eine Signal-Busleitung 125 zu bilden, wie aus Fig. 13F ersichtlich, wobei die Source-Elektrode 123 und die Drain-Elektrode 127 durch die zugeordneten ersten Verbindungslöcher mit der dotierten Halbleiterschicht 121' in Verbindung stehen. Auf der gesamten Oberfläche wird ein organisches Material, z. B. fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylol, PFCB oder BCB, aufgebracht, um eine zweite Schutzschicht 133 zu bilden. ITO wird aufgebracht und selektiv abgeätzt, um eine Pixel-Elektrode 131 zu bilden, wie aus Fig. 13G ersichtlich. Die Pixel-Elektrode 131 ist mit der Drain-Elektrode 127 durch ein in der zweiten Schutzschicht 133 gebildetes zweites Verbindungsloch elektrisch verbunden.

Bei den oben beschriebenen Ausführungsformen 1 bis 4 steht eine organische Gate-Isolierschicht 157 und/oder eine organische Schutzschicht 159 in Kontakt mit einer Halbleiterschicht 119. In diesem Fall können Probleme wie Ablösung und Ladungsfallenbildung auftreten. Um dieses Problem zu lösen, wird zwischen der Halbleiterschicht und der organischen Schicht eine anorganische Schicht, z. B. aus Siliziumdioxid oder Siliziumnitrid, gebildet. Die anorganischen Materialien werden z. B. mittels chemischer Dampfabcheidung aufgebracht. Die vorliegende Ausführungsform führt diese anorganische Schicht in die vier zuvor beschriebenen Ausführungsformen ein.

Die Fig. 14A bis 14D zeigen den Fall der Herstellung eines umgedreht geschichteten TFT. Nach Bildung einer Gate-Isolierschicht 157 aus organischem Material wird eine erste anorganische Schicht 177 gebildet, indem z. B. Siliziumoxid oder Siliziumnitrid aufgebracht wird, bevor eine Halbleiterschicht 119 aufgebracht wird. Dies beseitigt Probleme wie Ablösung und Ladungsfallenbildung, wie sie an der Grenzfläche zwischen der organischen Gate-Isolierschicht 157 und der Halbleiterschicht 119 (siehe Fig. 14A) auftreten könnten.

Alternativ wird nach Bildung einer Source-Elektrode 123 und einer Drain-Elektrode 127 und vor Bildung einer organischen Schutzschicht 159 eine zweite anorganische Schicht 179 aufgebracht (Fig. 14B). In diesem Fall können Probleme wie Ablösung und Ladungsfallenbildung, die an der Grenzfläche zwischen einer Halbleiterschicht und einer organischen Schutzschicht auftreten könnten, vermieden werden. Auch in dem Fall, daß sowohl die Gate-Isolierschicht 157 als auch die Schutzschicht 159 durch organische Materialien gebildet werden, kann eine Ergebnisverbesserung erzielt werden, indem sowohl die erste anorganische Schicht 177 als auch die zweite anorganische Schicht 179 ausgebildet werden (Fig. 14C).

Wenn in einem umgedreht geschichteten TFT eine Ätzstopperschicht vorhanden ist, treten an der Grenzfläche zwischen einer Halbleiterschicht 119 und einer organischen Schutzschicht 159 Probleme wie Elektronenfallen nicht auf, da die Ätzstopperschicht aus einem anorganischen Material gebildet ist. Bei Verwendung eines Ätzstoppers in Form der Ätzstopperschicht 135 genügt es somit, die erste anorganische Schicht zwischen der Halbleiterschicht 119 und der Gate-Isolierschicht 157 zu bilden (Fig. 14D).

Fig. 14E zeigt den Fall der Herstellung eines geschichteten TFT. Nach Bildung einer Halbleiterschicht 119 auf einem Substrat 111 und vor Bildung einer organischen Isolierschicht 157 wird eine erste anorganische Schicht 177 aufgebracht. Dies beseitigt Probleme wie Ablösung und Elektronenfallenbildung, die an der Grenzfläche zwischen der Gate-Isolierschicht 157 und der Halbleiterschicht 119 auftreten könnten.

Fig. 14F zeigt den Fall der Herstellung eines TFT koplanarer Bauart. Nach Bildung einer Halbleiterschicht 119, der Source-Elektrode 123 und der Drain-Elektrode 127 und vor Bildung einer organischen Gate-Isolierschicht 157 wird eine erste anorganische Schicht 177 aufgebracht. Dies beseitigt Probleme wie Ablösung und Elektronenfallenbildung, die an der Grenzfläche zwischen der Gate-Isolierschicht 157 und der Halbleiterschicht 119 auftreten könnten.

Fig. 14G zeigt den Fall der Herstellung eines TFT selbstausgerichteter Bauart. Nach Bildung einer Halbleiterschicht 119, einer Gate-Isolierschicht 157 und einer Gate-Elektrode 113 wird eine erste anorganische Schicht 177 aufgebracht. In diesem Fall ist es nicht erforderlich, die Gate-Isolierschicht 157 aus organischem Material zu bilden, da das infolge des Aufbaus des selbst-ausgerichteten TFT gestufte Profil von der Einebnungsfähigkeit des Gate-Isoliermaterials unabhängig ist. Wenn also für die Gate-Isolierschicht 157 kein organisches Material verwendet wird, ist zwischen einer Gate-Isolierschicht 157 und einer Halbleiterschicht 119 keine anorganische Schicht erforderlich. In diesem Fall ist nur die erste anorganische Schicht 177 an der Grenzfläche zwischen der organischen Schutzschicht 159 und der dotierten Halbleiterschicht 121' erforderlich.

Bei einem Aufbau mit ITO auf passivierter Schicht (IOP: ITO on passivation), bei dem eine Pixel-Elektrode 131 auf einer Schutzschicht 159 gebildet wird, kann eine zusätzliche anorganische Schicht 181 gebildet werden, um die Haftung zwischen der Pixel-Elektrode 131 und der organischen Schutzschicht 159 zu verbessern. Die Fig. 15 und 16 veranschaulichen solche Bauweisen mit einer dritten anorganischen Schicht 181 zwischen der Schutzschicht und der Pixel-Elektrode 131 für die verschiedenen Aufbauarten von Dünnschichttransistoren. Diese Bauweisen ergeben eine stabile Grenzfläche zwischen der Pixel-Elektrode 131 und der Schutzschicht 159 (133 in Fig. 15E). Fig. 15A zeigt einen umgedreht geschichteten TFT mit der dritten anorganischen Schicht 181 zwischen der Schutzschicht 159 und der Pixel-Elektrode 131.

Fig. 15B zeigt einen umgedreht geschichteten TFT mit Ätzstopperschicht 135 und mit der dritten anorganischen Schicht 181 zwischen der Schutzschicht 159 und der Pixel-Elektrode 131.

Fig. 15C zeigt einen geschichteten TFT mit der dritten organischen Schicht 181 zwischen der Schutzschicht 159 und der Pixel-Elektrode 131.

Fig. 15D zeigt einen geschichteten TFT mit der dritten organischen Schicht 181 zwischen der Schutzschicht 159 und der Pixel-Elektrode 131.

Fig. 15E zeigt einen selbst-ausgerichteten TFT mit der dritten organischen Schicht 181 zwischen der Schutzschicht 133 und der Pixel-Elektrode 131.

Zusätzlich zeigt Fig. 16A einen umgedreht geschichteten TFT mit der dritten anorganischen Schicht 181 zwischen der Schutzschicht 159 und der Pixel-Elektrode 131 und mit der ersten anorganischen Schicht 177 zwischen der Gate-Isolierschicht 157 und der Halbleiterschicht 119.

Fig. 16B zeigt einen umgedreht geschichteten TFT mit der dritten anorganischen Schicht 181 und mit der zweiten anorganischen Schicht 179, die vor Bildung einer organischen Schutzschicht 159 aufgebracht wird.

Fig. 16C zeigt einen umgedreht geschichteten TFT mit der dritten anorganischen Schicht 181 und mit der ersten anorganischen Schicht 177 und der zweiten anorganischen Schicht 179.

Fig. 16D zeigt einen umgedreht geschichteten TFT mit der dritten anorganischen Schicht 181 und mit der Ätzstopperschicht 135 und der ersten anorganischen Schicht 177.

Fig. 16E zeigt einen umgedreht geschichteten TFT mit der dritten anorganischen Schicht 181 und mit der ersten anorganischen Schicht 177, die vor Bildung der organischen Isolierschicht 157 aufgebracht wird.

Fig. 16F zeigt einen koplanaren TFT mit der dritten anorganischen Schicht 181 und mit ersten anorganischen Schicht 177, die vor Bildung der organischen Isolierschicht 157 aufgebracht wird.

Fig. 16G zeigt einen selbst-ausgerichteten TFT mit der dritten anorganischen Schicht 181 zwischen der zweiten Schutzschicht 133 und der Pixel-Elektrode 131, wobei die erste anorganische Schicht 177 vor Bildung der organischen Schutzschicht 159 aufgebracht wird.

Die Fig. 17A bis 17D zeigen die Fälle, in denen die Gate-Isolierschichten aus einem organischen Material und die Schutzschichten aus einem anorganischen Material bestehen.

Fig. 17A zeigt einen umgedreht geschichteten TFT, bei dem die Gate-Isolierschicht 157 ein organisches Material und die Schutzschicht 139 aus ein anorganisches Material aufweist.

Fig. 17B zeigt einen umgedreht geschichteten TFT mit Ätzstopperschicht 135, bei dem die Gate-Isolierschicht 157 ein organisches Material und die Schutzschicht 139 ein anorganisches Material aufweist.

Fig. 17C zeigt einen geschichteten TFT, bei dem die Gate-Isolierschicht 157 ein organisches Material und die Schutzschicht 139 ein anorganisches Material aufweist.

Fig. 17D zeigt einen koplanaren TFT, bei dem die Gate-Isolierschicht 157 ein organisches Material und die Schutzschicht 139 ein anorganisches Material aufweist.

Als fünfte bevorzugte Ausführungsform wird zusätzlich eine ein anorganisches Material aufweisende Zwischenschicht zwischen der Gate-Isolierschicht 157 und der Halbleiterschicht 119 gebildet.

Fig. 18A zeigt einen umgedreht geschichteten TFT mit der ersten anorganischen Schicht 177, bei dem die Gate-Isolierschicht 157 ein organisches Material und die Schutzschicht 139 ein anorganisches Material aufweist.

Fig. 18B zeigt einen umgedreht geschichteten TFT mit der ersten anorganischen Schicht 177 und der Ätzstopperschicht 135, bei dem die Gate-Isolierschicht 157 ein organisches Material und die Schutzschicht 139 ein anorganisches Material aufweist.

Fig. 18C zeigt einen geschichteten TFT mit der ersten anorganischen Schicht 177, bei dem die Gate-Isolierschicht 157 ein organisches Material und die Schutzschicht 139 ein anorganisches Material aufweist.

Fig. 18D zeigt einen koplanaren TFT mit der ersten anorganischen Schicht 177, bei dem die Gate-Isolierschicht 157 ein organisches Material und die Schutzschicht 139 ein anorganisches Material aufweist.

Die Fig. 19A bis 21B zeigen die Fälle, in denen die Schutzschichten 159 ein organisches Material und die Gate-Isolierschichten 157 ein anorganisches Material aufweist.

Fig. 19A zeigt einen umgedreht geschichteten TFT, bei dem die Schutzschicht 159 ein organisches Material und die Gate-Isolierschicht 157 ein anorganisches Material aufweist.

Fig. 19B zeigt einen umgedreht geschichteten TFT mit der Ätzstopperschicht 135, bei dem die Schutzschicht 159 ein organisches Material und die Gate-Isolierschicht 157 ein anorganisches Material aufweist.

Fig. 19C zeigt einen geschichteten TFT, bei dem die Schutzschicht 159 ein organisches Material und die Gate-Isolierschicht 157 ein anorganisches Material aufweist.

Fig. 19D zeigt einen koplanaren TFT, bei dem die Schutzschicht 159 ein organisches Material und die Gate-Isolierschicht 157 ein anorganisches Material aufweist.

Fig. 19E zeigt einen koplanaren TFT, bei dem die erste Schutzschicht 159 ein anorganisches Material und die zweite Schutzschicht 133 ein organisches Material aufweist, wobei es gleichgültig ist, ob die Gate-Isolierschicht 157 ein anorganisches oder ein organisches Material aufweist, da sie den Niveau-Unterschied nicht beeinflusst.

Fig. 19F zeigt einen koplanaren TFT, bei dem die erste Schutzschicht 159 ein organisches Material und die zweite Schutzschicht 133 ein anorganisches Material aufweist, wobei es gleichgültig ist, ob die Gate-Isolierschicht 157 ein anorganisches oder ein organisches Material aufweist, da sie den Niveau-Unterschied nicht beeinflusst.

Zusätzlich kann bei einem Aufbau mit ITO auf einer passivierten Schicht, bei dem eine Pixel-Elektrode 131 auf einer Schutzschicht 159 gebildet ist, eine dritte anorganische Schicht 181 gebildet werden, um die Haftung zwischen der Pixel-Elektrode 131 und der organischen Schutzschicht 159 zu verbessern.

Fig. 20A zeigt einen umgedreht geschichteten TFT, bei dem die Schutzschicht 159 ein organisches Material und die Gate-Isolierschicht 157 ein anorganisches Material aufweist, wobei die dritte anorganische Schicht 181 zwischen der Pixel-Elektrode 131 und der organischen Schutzschicht 159 angeordnet ist.

Fig. 20B zeigt einen umgedreht geschichteten TFT mit einer Ätzstopperschicht 135 und der dritten anorganischen Schicht 181, bei dem die Schutzschicht 159 ein organisches Material und die Gate-Isolierschicht 157 ein anorganisches Material aufweist.

Fig. 20C zeigt einen geschichteten TFT mit der dritten anorganischen Schicht 181, bei dem die Schutzschicht 159 ein organisches Material und die Gate-Isolierschicht 157 ein anorganisches Material aufweist.

Fig. 20D zeigt einen koplanaren TFT mit der dritten anorganischen Schicht 181, bei dem die Schutzschicht 159 ein organisches Material und die Gate-Isolierschicht 157 ein anorganisches Material aufweist.

Fig. 20E zeigt einen selbst-ausgerichteten TFT, bei dem die Schutzschicht 159 ein organisches Material und die Gate-Isolierschicht 157 ein anorganisches Material aufweist, wobei die dritte anorganische Schicht 181 zwischen der zweiten organischen Schutzschicht 133 und der Pixel-Elektrode 131 angeordnet ist.

Insbesondere im Fall des umgedreht geschichteten TFT kann die Halbleiterschicht 119 in Kontakt mit der ein organisches Material enthaltenden Schutzschicht 159 stehen. So kann die zweite anorganische Schicht 179 vor Bildung der organischen Schutzschicht 159 gebildet werden.

Fig. 21A zeigt einen umgedreht geschichteten TFT ohne Ätzstopperschicht, bei dem die Schutzschicht 159 ein organisches Material und die Gate-Isolierschicht 157 ein anorganisches Material aufweist, wobei die zweite anorganische Schicht 179 vor Bildung der organischen Schutzschicht 159 aufgebracht wird.

Fig. 21B zeigt einen umgedreht geschichteten TFT mit der zweiten anorganischen Schicht 179 und der dritten anorganischen Schicht 181, bei dem die Schutzschicht 159 ein organisches Material und die Gate-Isolierschicht 157 ein anorganisches Material aufweist.

Bei der vorliegenden Erfindung wird als Isolierschicht und/oder Schutzschicht in einer LCD-Anordnung ein organisches Material verwendet. Auf diese Weise wird eine LCD-Anordnung erzielt, deren Leistung besser als bei einer herkömmlichen LCD-Anordnung ist, bei der als Isolierschicht und/oder Schutzschicht Siliziumoxid oder Siliziumnitrid verwendet wird.

Die verbesserten Isolierungseigenschaften werden erzielt, indem zur Herstellung der Gate-Isolierschicht ein organisches Material, z. B. fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylol, PFCB oder BCB, eingesetzt wird. Ferner wird auf einer Oberfläche, die aufgrund der Mehrschichtstruktur des TFT

gestuft ist, eine glattere Oberfläche einer Schutzschicht erzielt, indem ein organisches Material, z. B. fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylo, PFCB oder BCB, verwendet wird. Auch wird es möglich, eine breitere Pixel-Elektrode als bei herkömmlichen Herstellungsverfahren zu bilden und somit das Öffnungsverhältnis zu erhöhen. Außerdem wird eine Ausrichtungsschicht, die eine Anfangsausrichtung des Flüssigkristalls festlegt, glatter und erlaubt dadurch ein gleichmäßiges Reiben der Ausrichtungsschicht. Dementsprechend kann durch die vorliegende Erfindung eine LCD-Anordnung mit im Vergleich zu herkömmlichen LCD-Anordnungen überlegener Leistung hergestellt werden.

Patentansprüche

1. Transistoranordnung für eine Flüssigkristallanzeiganordnung mit:
einem Substrat (111);
einem auf dem Substrat (111) gebildeten Transistor mit einer Gate-Fläche, einer Source-Fläche, einer Drain-Fläche, einer Halbleiterschicht (119) und einer Gate-Isolierschicht (157); und
einer über dem Transistor angeordneten Schutzschicht (159), die wenigstens ein Material aus folgender Gruppe aufweist:
fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylo, PFCB und BCB.
2. Transistoranordnung für eine Flüssigkristallanzeiganordnung mit:
einem Substrat (111); und
einem auf dem Substrat (111) gebildeten Transistor mit einer Gate-Fläche, einer Source-Fläche, einer Drain-Fläche, einer Halbleiterschicht (119) und einer Gate-Isolierschicht (157), die wenigstens ein Material aus folgender Gruppe aufweist: fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylo, PFCB und BCB.
3. Transistoranordnung nach Anspruch 2, mit:
einer Gate-Busleitung (115), die mit der Gate-Fläche des Transistors verbunden ist;
einer Signal-Busleitung (125), die entweder mit der Source-Fläche oder der Drain-Fläche des Transistors verbunden ist; und
einer Pixel-Elektrode (131), die mit der Drain-Fläche bzw. der Source-Fläche des Transistors verbunden ist und zumindest einen Teil der Gate-Busleitung (115) oder der Signal-Busleitung (125) überlappt.
4. Transistoranordnung für eine Flüssigkristallanzeiganordnung mit:
einem Substrat (111);
einem auf dem Substrat (111) gebildeten Transistor mit einer Gate-Fläche, einer Source-Fläche, einer Drain-Fläche, einer Halbleiterschicht (119) und einer Gate-Isolierschicht (157), die wenigstens ein Material aus folgender Gruppe aufweist: fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylo, PFCB und BCB; und
einer über dem Transistor angeordneten Schutzschicht (159), die wenigstens ein Material aus folgender Gruppe aufweist:
fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylo, PFCB und BCB.
5. Transistoranordnung nach Anspruch 1 oder 4, mit:
einer Gate-Busleitung (115), die mit der Gate-Fläche des Transistors verbunden ist;
einer Signal-Busleitung (125), die entweder mit der Source-Fläche oder der Drain-Fläche des Transistors verbunden ist; und
einer über der Schutzschicht (159) angeordneten Pixel-Elektrode (131), die mit der Drain-Fläche bzw. der Source-Fläche des Transistors verbunden ist, wobei die Gate-Busleitung (115) und/oder die Signal-Busleitung (125) unter der Schutzschicht (159) angeordnet ist und die Pixel-Elektrode (131) zumindest einen Teil der unter der Schutzschicht (159) angeordneten Gate-Busleitung (115) oder der unter der Schutzschicht (159) angeordneten Signal-Busleitung (125) überlappt.
6. Transistoranordnung nach Anspruch 1 oder 5, mit einer anorganischen Zwischenschicht zwischen der Schutzschicht (159) und dem Transistor.
7. Transistoranordnung nach Anspruch 2 oder 3, mit einer anorganischen Zwischenschicht zwischen der Gate-Isolierschicht (157) und der Halbleiterschicht (119).
8. Transistoranordnung nach Anspruch 5, mit einer Zwischenschicht zwischen der Schutzschicht (159) und der Pixel-Elektrode (131).
9. Verfahren zum Herstellen einer Transistoranordnung für eine Flüssigkristallanzeiganordnung, mit folgenden Schritten:
auf einem Substrat (111) wird ein Transistor gebildet, der eine Gate-Fläche, eine Source-Fläche, eine Drain-Fläche, eine Halbleiterschicht (119) und eine Gate-Isolierschicht (157) aufweist; und
über dem Transistor wird eine Schutzschicht (159) gebildet, die wenigstens ein Material aus folgender Gruppe aufweist:
fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylo, PFCB und BCB.
10. Verfahren zum Herstellen einer Transistoranordnung für eine Flüssigkristallanzeiganordnung, mit folgenden Schritten:
auf einem Substrat (111) wird ein Transistor gebildet, der eine Gate-Fläche, eine Source-Fläche, eine Drain-Fläche, eine Halbleiterschicht (119) und eine Gate-Isolierschicht (157) aufweist, die wenigstens ein Material aus folgender Gruppe aufweist: fluoriertes Polyimid, Teflon, Cytop, Fluorpolyarylether, fluoriertes Paraxylo, PFCB und BCB.
11. Verfahren zum Herstellen einer Transistoranordnung für eine Flüssigkristallanzeiganordnung, nach Anspruch 10, mit folgenden Schritten:

- Bildung einer Gate-Busleitung (115), die mit der Gate-Fläche des Transistors verbunden ist;
 Bildung einer Signal-Busleitung (125), die entweder mit der Source-Fläche oder der Drain-Fläche des Transistors verbunden ist; und
 Bildung einer Pixel-Elektrode (131), die mit der Drain-Fläche bzw. der Source-Fläche des Transistors verbunden ist und zumindest einen Teil der Gate-Busleitung (115) oder der Signal-Busleitung (125) überlappt. 5
12. Verfahren zum Herstellen einer Transistoranordnung für eine Flüssigkristallanzeigeanordnung, mit folgenden Schritten:
 auf einem Substrat (111) wird ein Transistor gebildet, der eine Gate-Fläche, eine Source-Fläche, eine Drain-Fläche, eine Halbleiterschicht (119) und eine Gate-Isolierschicht (157) aufweist, die wenigstens ein 10
 Material aus folgender Gruppe aufweist: fluoriertes Polyimid, Teflon, Cytop, Fluoropolyarylether, fluoriertes Paraxylo, PFCB und BCB; und
 über dem Transistor wird eine Schutzschicht (159) gebildet, die wenigstens ein Material aus folgender Gruppe aufweist:
 fluoriertes Polyimid, Teflon, Cytop, Fluoropolyarylether, fluoriertes Paraxylo, PFCB und BCB. 15
13. Verfahren zum Herstellen einer Transistoranordnung für eine Flüssigkristallanzeigeanordnung, nach Anspruch 9 oder 12, mit folgenden Schritten:
 Bildung einer Gate-Busleitung (115), die mit der Gate-Fläche des Transistors verbunden ist;
 Bildung einer Signal-Busleitung (125), die entweder mit der Source-Fläche oder der Drain-Fläche des Transistors verbunden ist; 20
 Bildung einer über der Schutzschicht (159) angeordneten Pixel-Elektrode (131), die mit der Drain-Fläche bzw. der Source-Fläche des Transistors verbunden ist,
 wobei die Gate-Busleitung (115) und/oder die Signal-Busleitung (125) unter der Schutzschicht (159) angeordnet werden; und
 die Pixel-Elektrode (131) so ausgebildet wird, daß sie zumindest einen Teil der unter der Schutzschicht (159) 25
 angeordneten Gate-Busleitung (115) oder der unter der Schutzschicht (159) angeordneten Signal-Busleitung (125) überlappt.
14. Verfahren zum Herstellen einer Transistoranordnung, nach Anspruch 9 oder 12, mit dem Schritt, daß zwischen der Schutzschicht (159) und dem Transistor eine anorganische Zwischenschicht gebildet wird.
15. Verfahren zum Herstellen einer Transistoranordnung, nach Anspruch 12 oder 13, mit dem Schritt, daß 30
 zwischen der Gate-Isolierschicht (157) und der Halbleiterschicht (119) eine anorganische Zwischenschicht gebildet wird.
16. Verfahren zum Herstellen einer Transistoranordnung, nach Anspruch 13, mit dem Schritt, daß zwischen der Schutzschicht (159) und der Pixel-Elektrode (131) eine anorganische Zwischenschicht gebildet wird. 35

Hierzu 34 Seite(n) Zeichnungen

BEST AVAILABLE COPY

- Leerseite -

FIG. 1 Stand der Technik

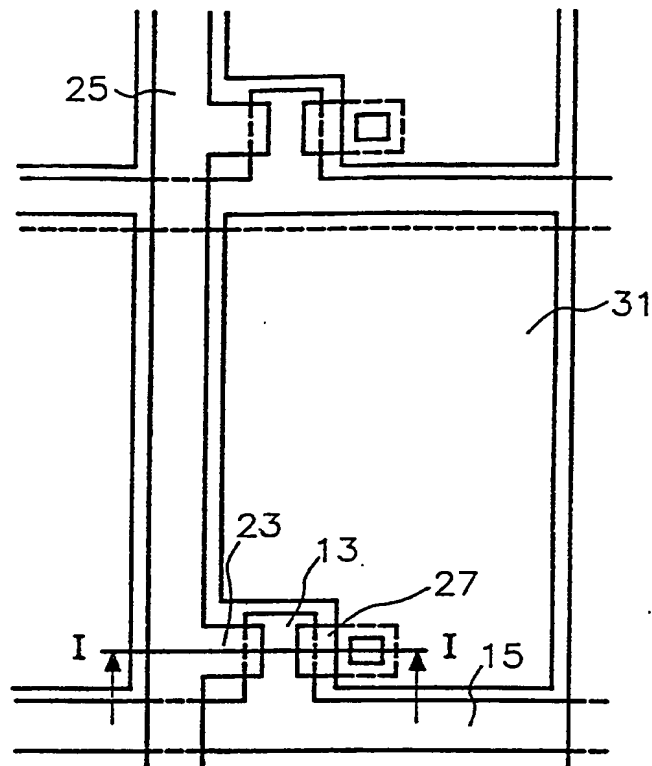


FIG. 6 Stand der Technik

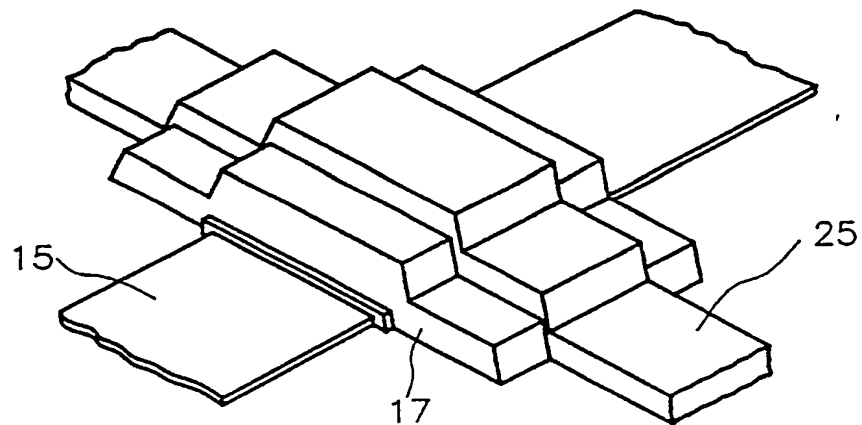


FIG. 2A Stand der Technik

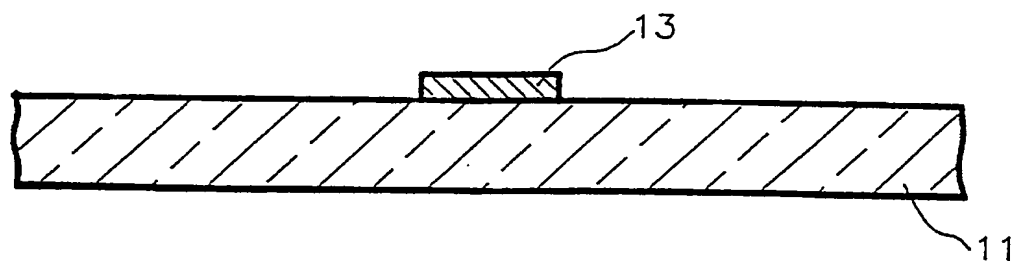


FIG. 2B Stand der Technik

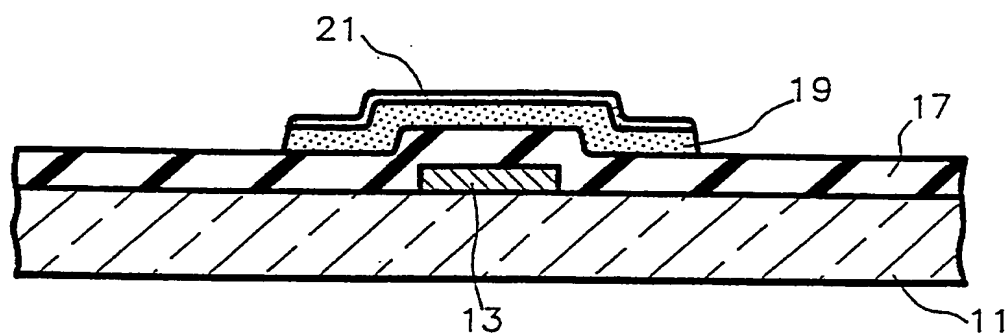


FIG. 2C Stand der Technik

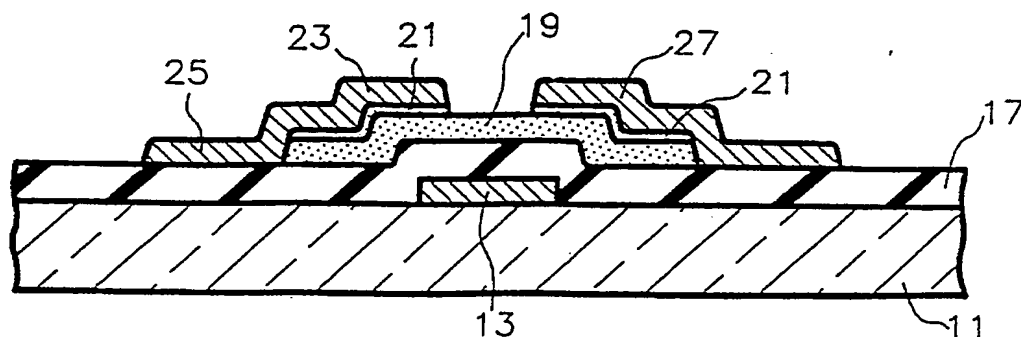


FIG. 2D Stand der Technik

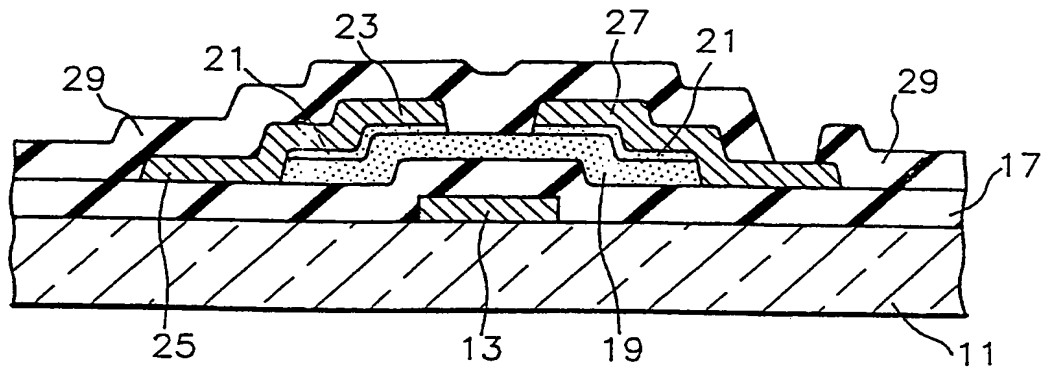


FIG. 2E Stand der Technik

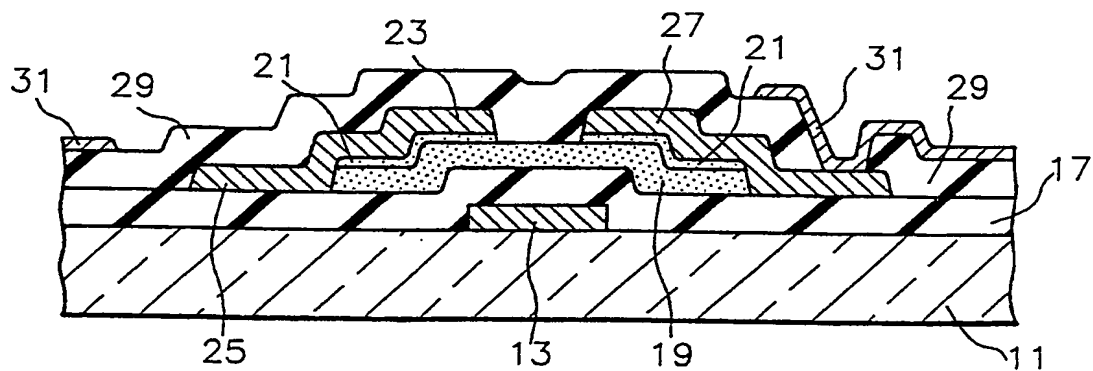


FIG. 2F Stand der Technik

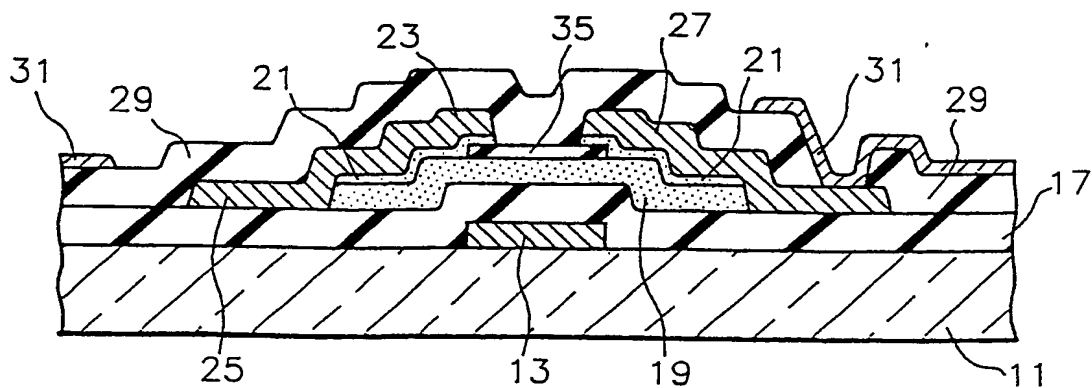


FIG. 3A
Stand der Technik

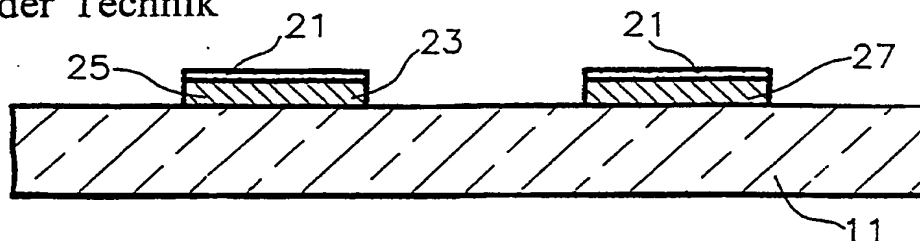


FIG. 3B

Stand der Technik

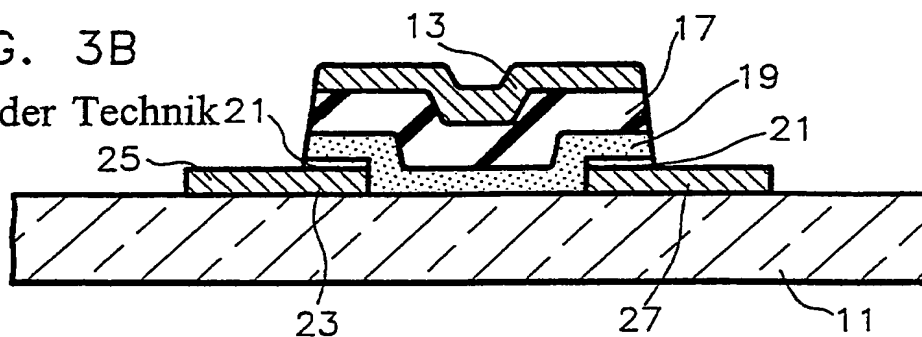


FIG. 3C

Stand der Technik

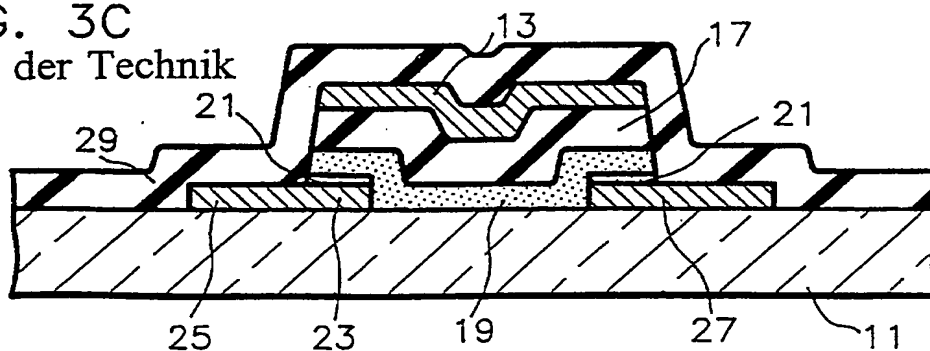


FIG. 3D

Stand der Technik

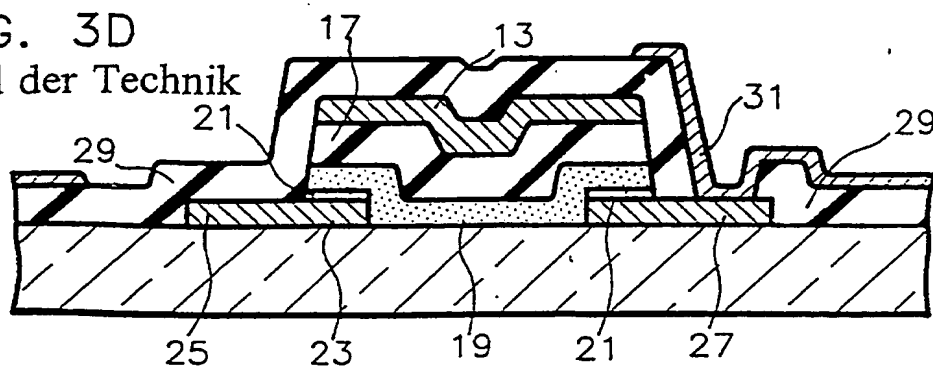


FIG. 4A
Stand der Technik

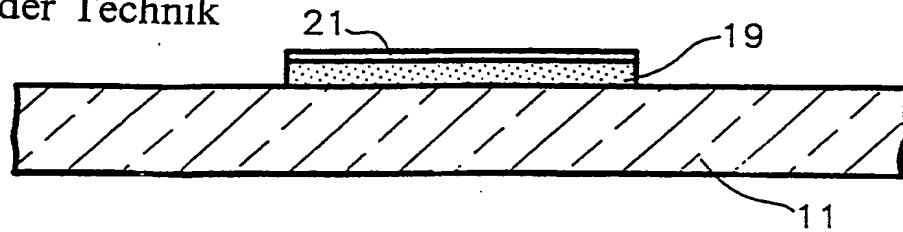


FIG. 4B
Stand der Technik

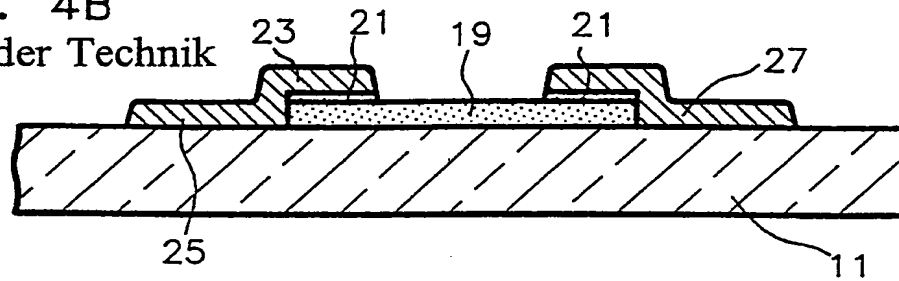


FIG. 4C
Stand der Technik

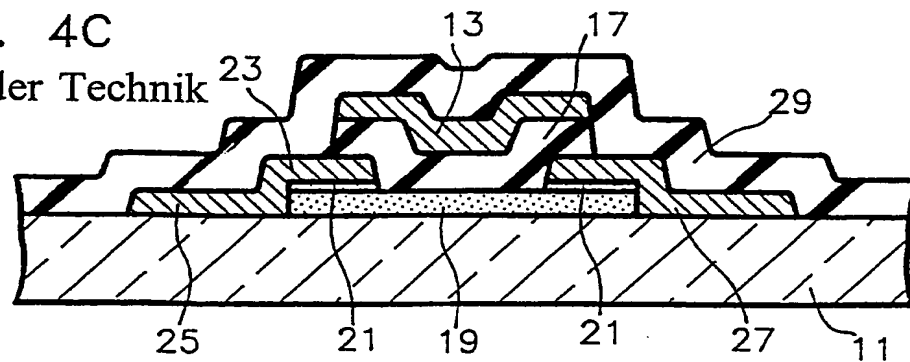


FIG. 4D
Stand der Technik

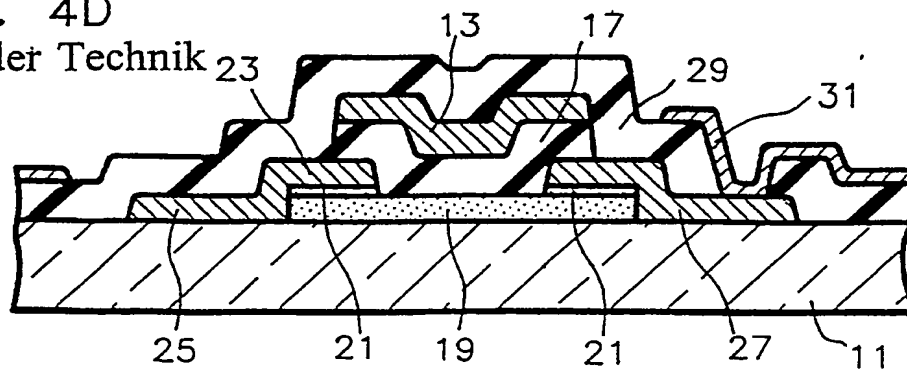


FIG. 5A
Stand der Technik

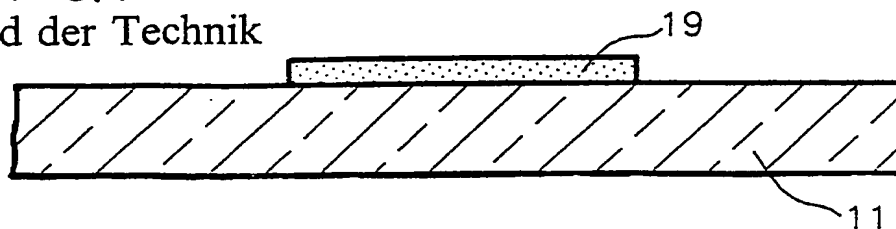


FIG. 5B
Stand der Technik

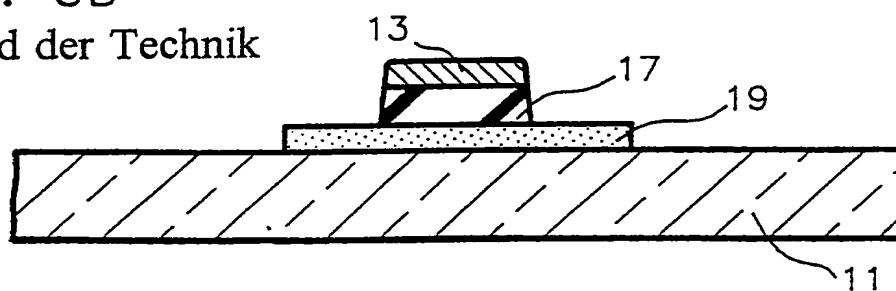


FIG. 5C
Stand der Technik

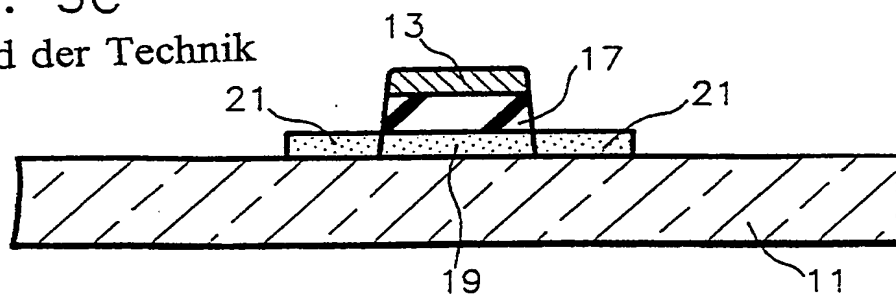


FIG. 5D
Stand der Technik

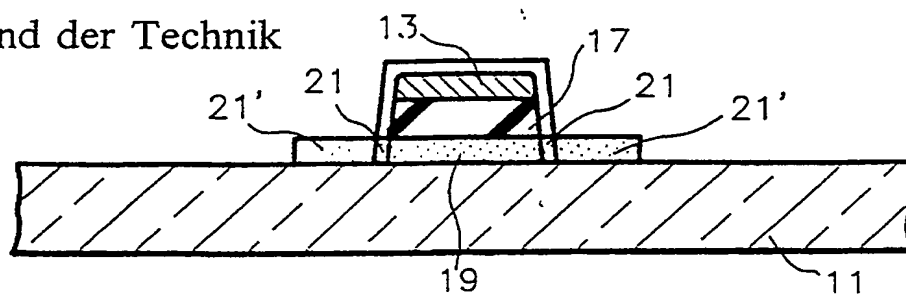


FIG. 5E

Stand der Technik

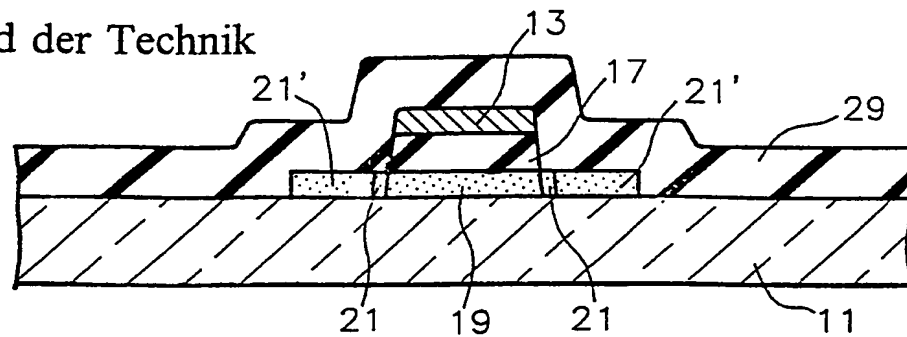


FIG. 5F

Stand der Technik

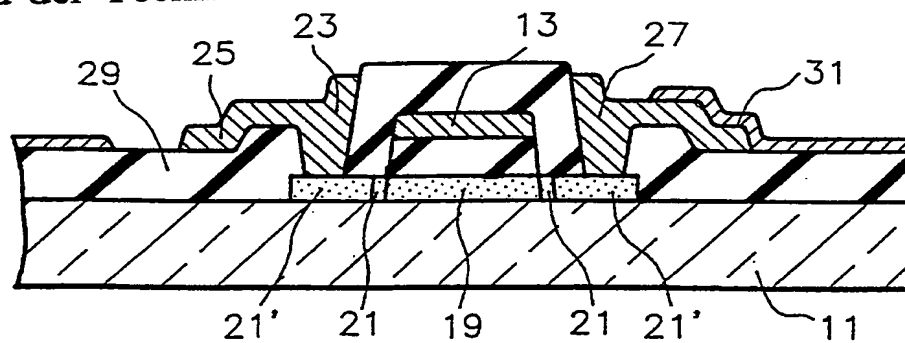


FIG. 5G

Stand der Technik

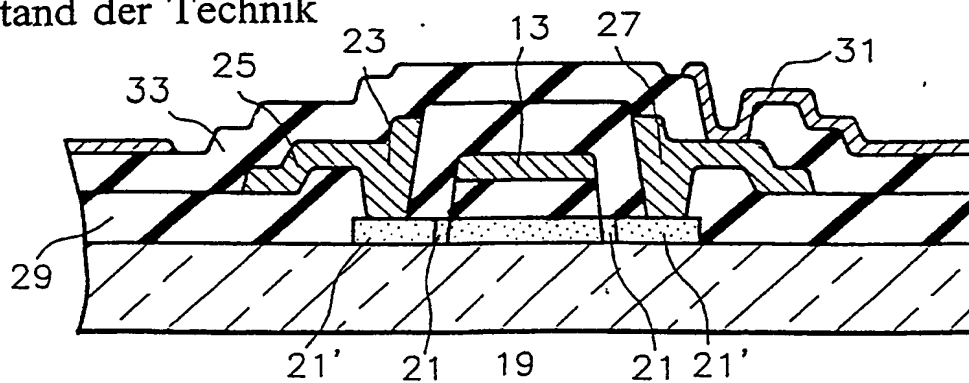


FIG. 7A

Stand der Technik

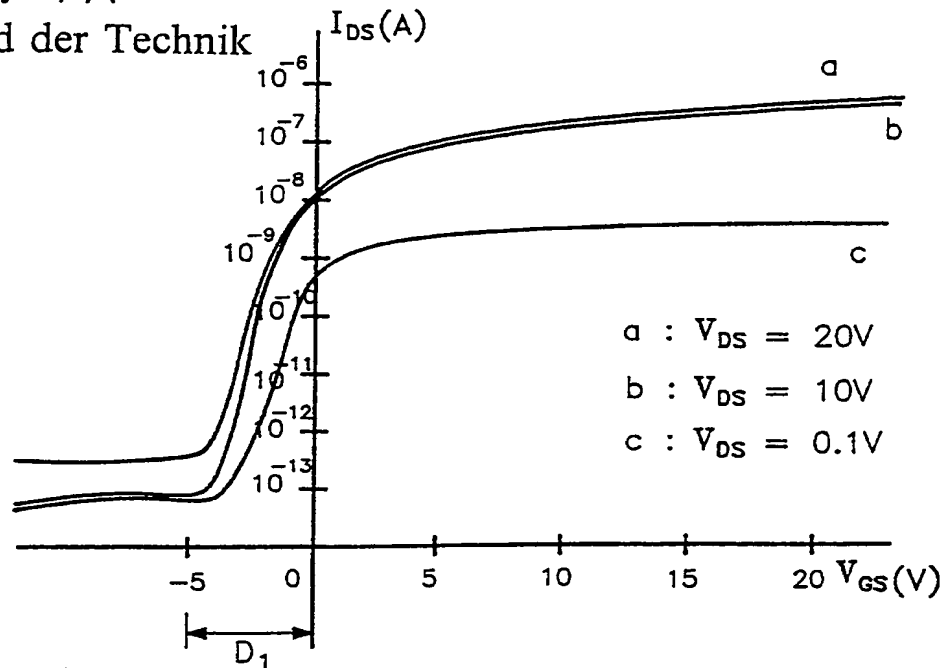


FIG. 7B

Stand der Technik

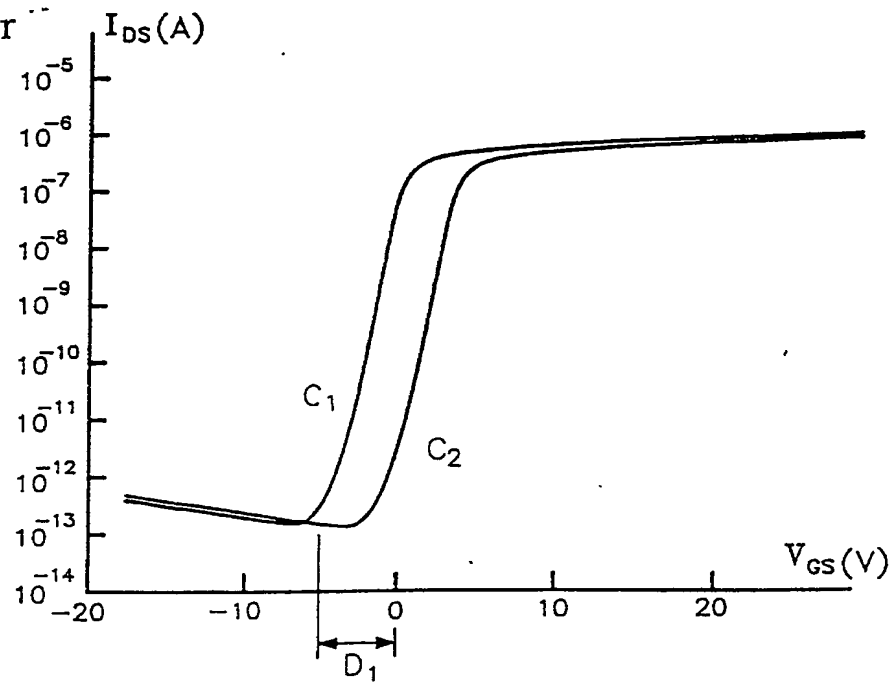


FIG. 8

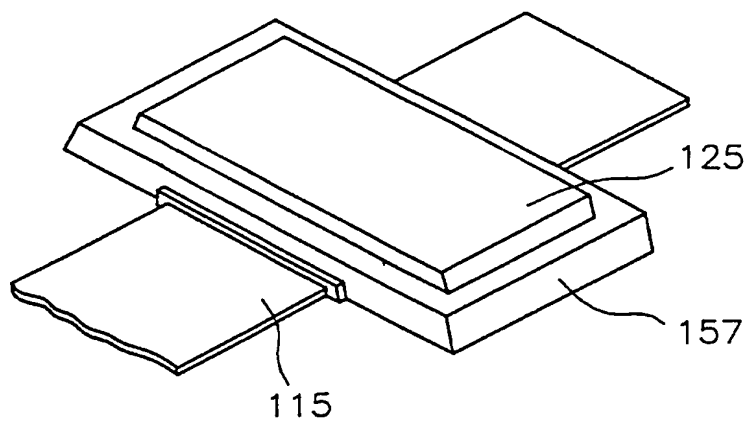


FIG. 9

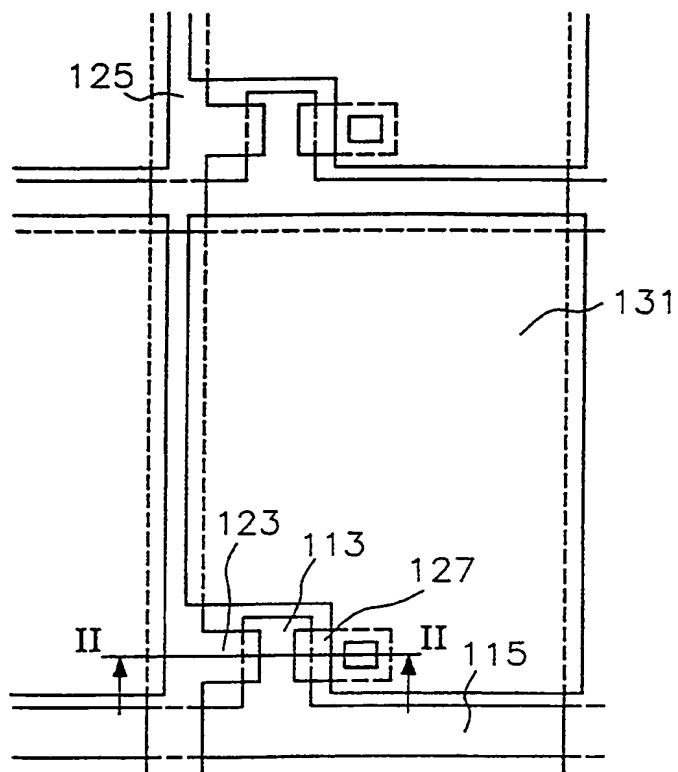


FIG. 10A

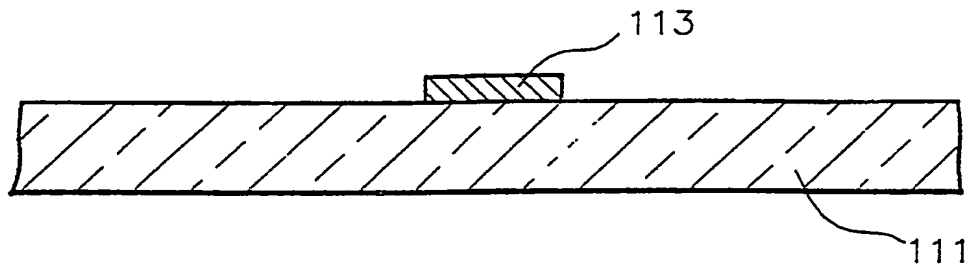


FIG. 10B

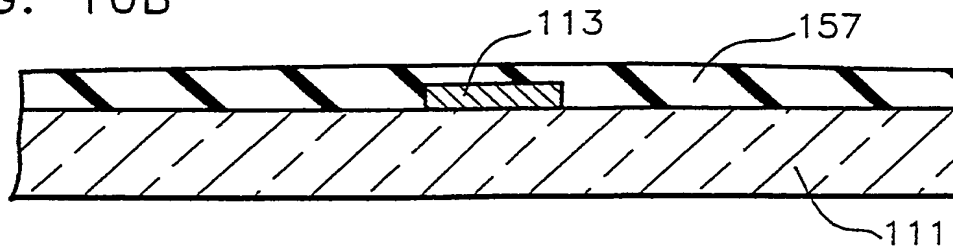


FIG. 10C

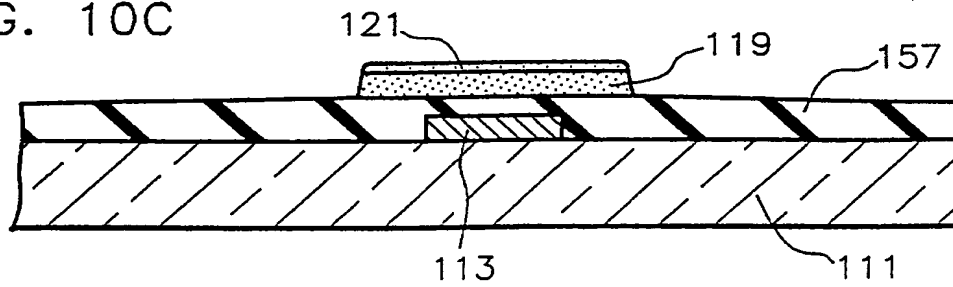


FIG. 10D

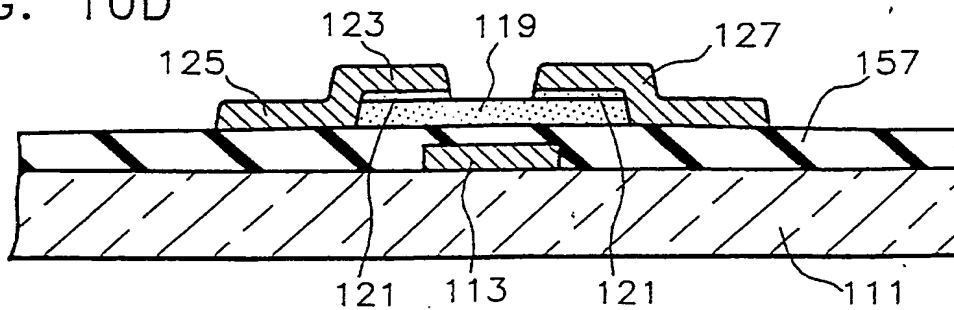


FIG. 10E

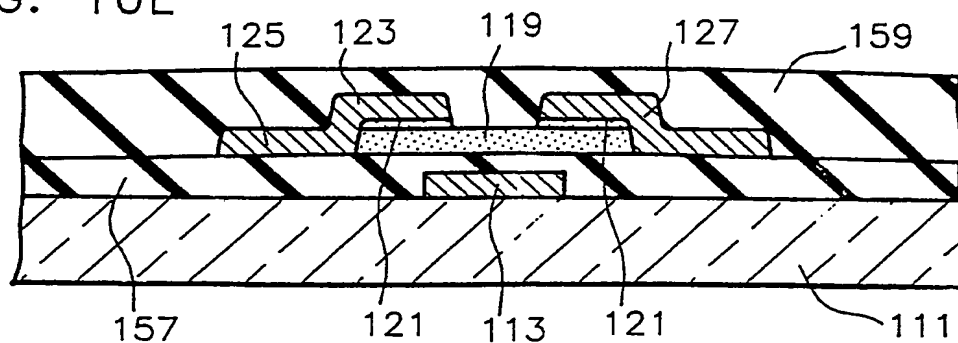


FIG. 10F

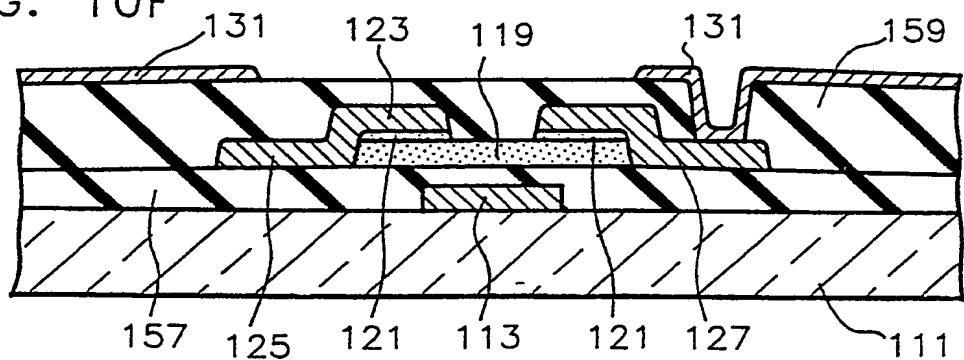


FIG. 10G

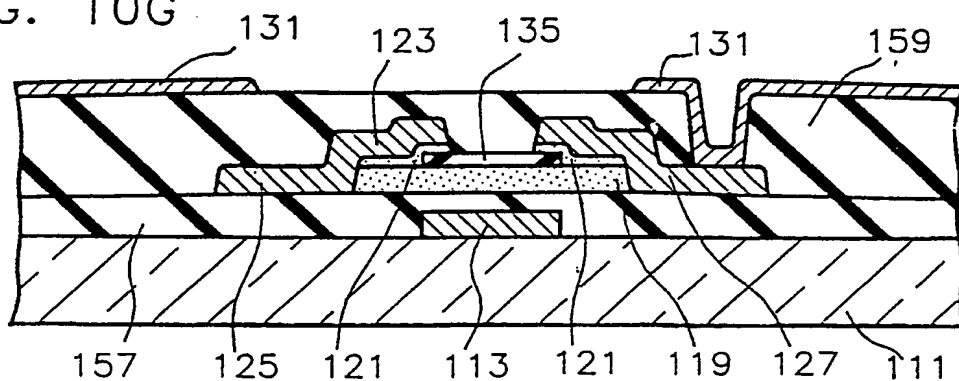


FIG. 11A

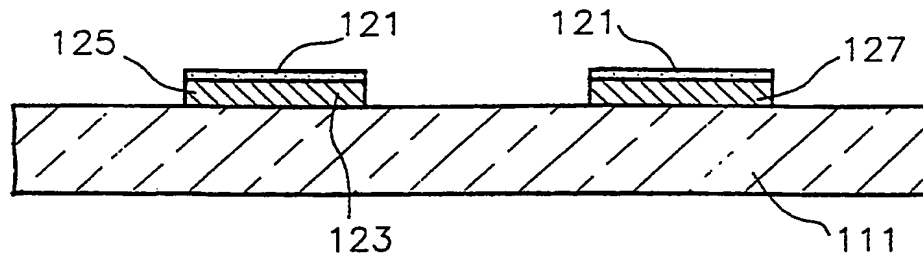


FIG. 11B

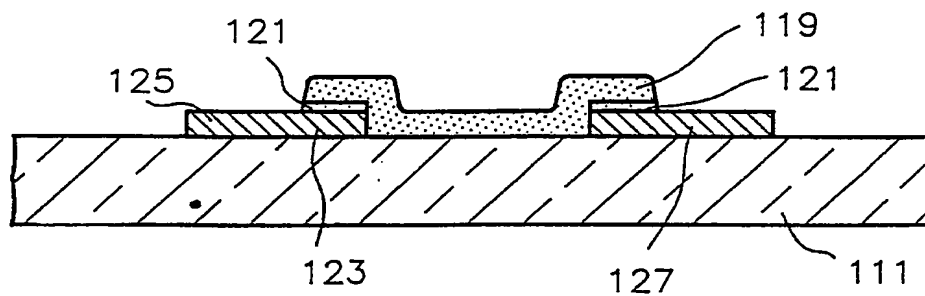


FIG. 11C

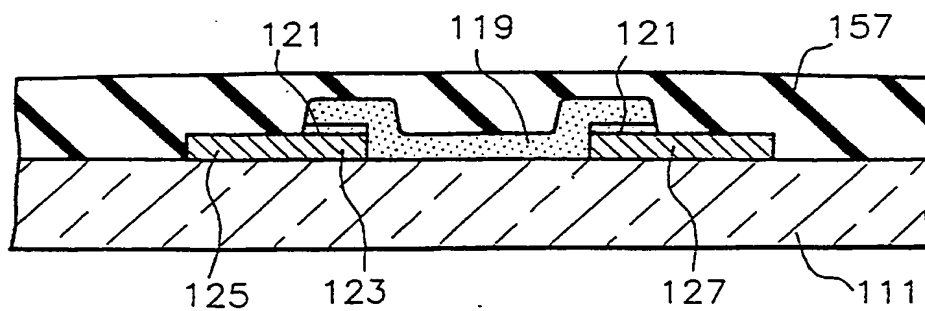


FIG. 11D

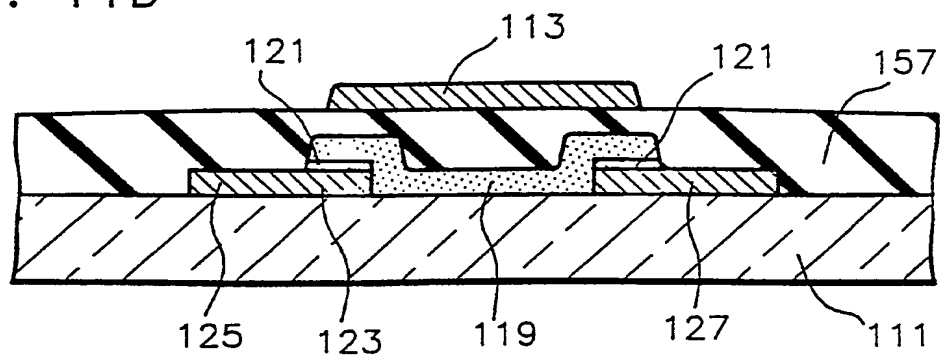


FIG. 11E

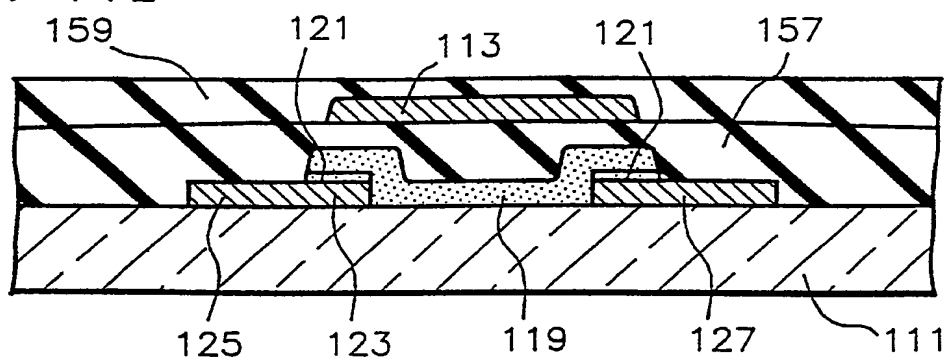


FIG. 11F

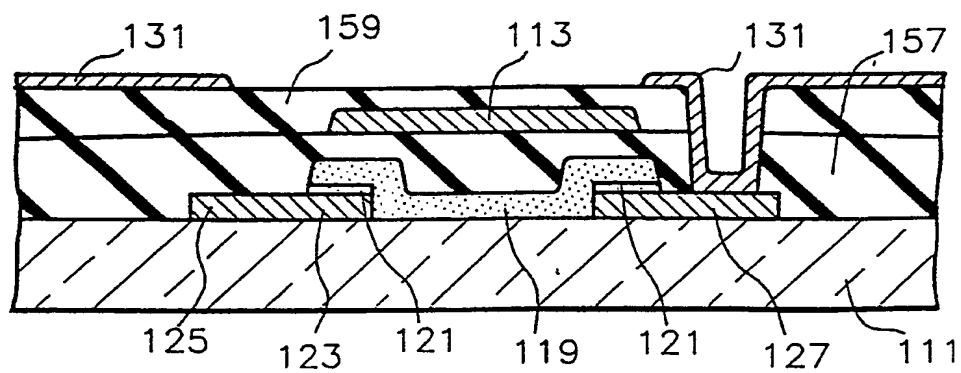


FIG. 12A

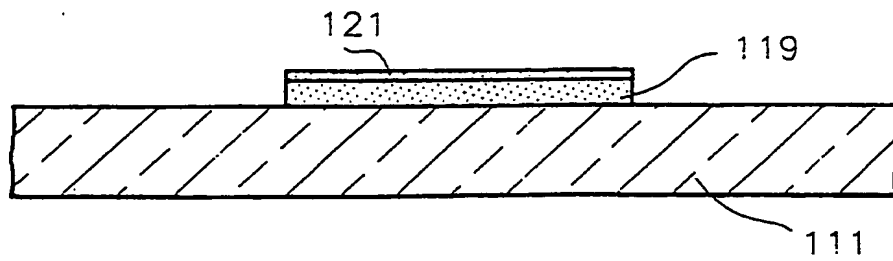


FIG. 12B

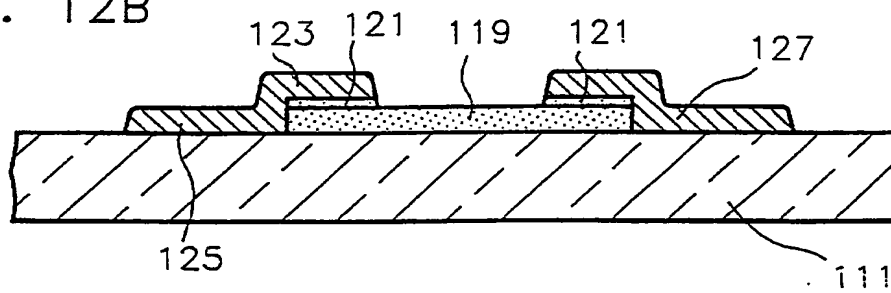


FIG. 12C

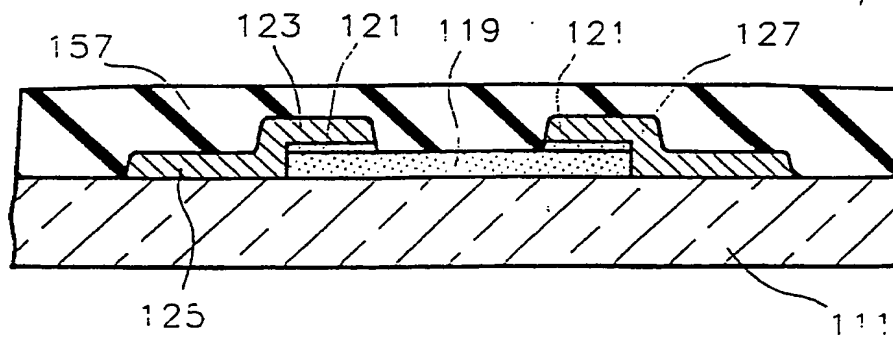


FIG. 12D

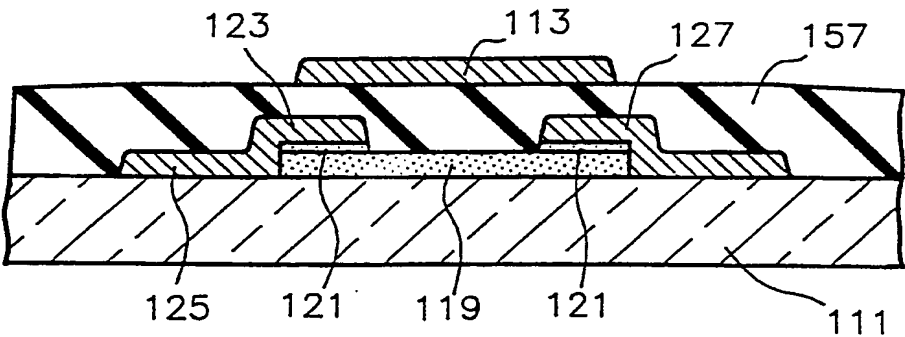


FIG. 12E

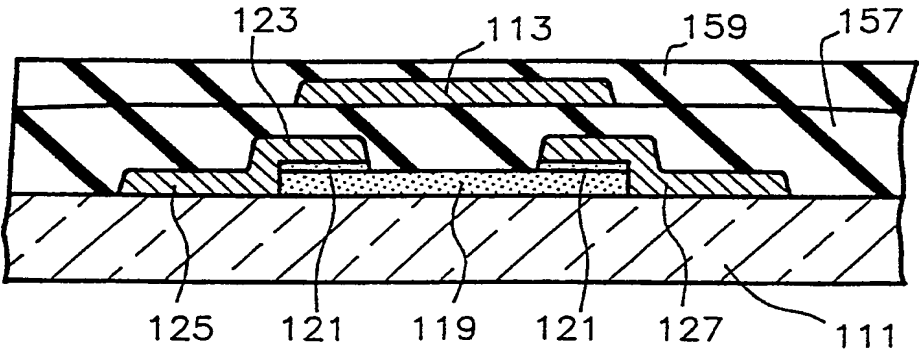


FIG. 12F

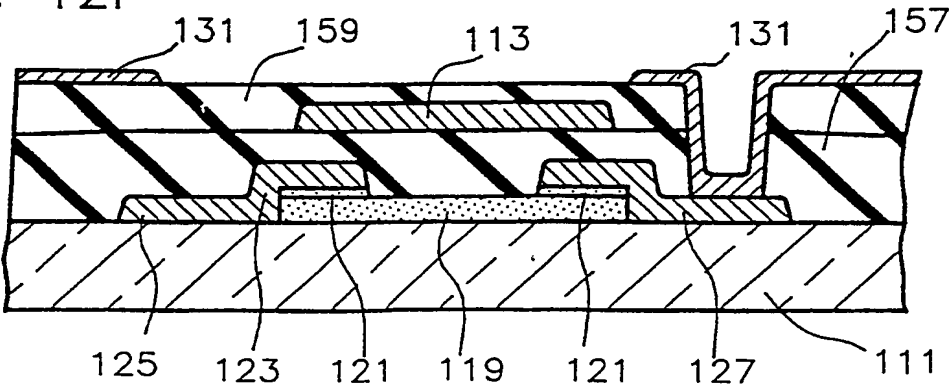


FIG. 13A

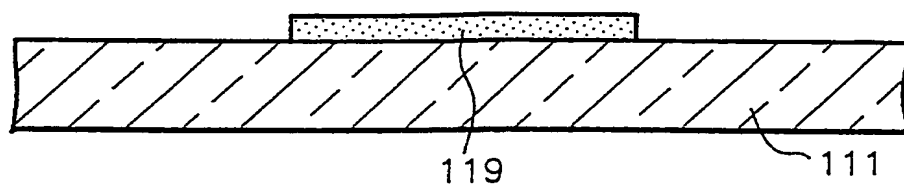


FIG. 13B

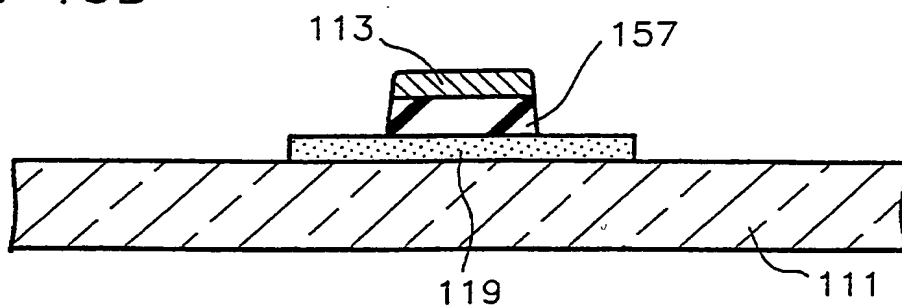


FIG. 13C

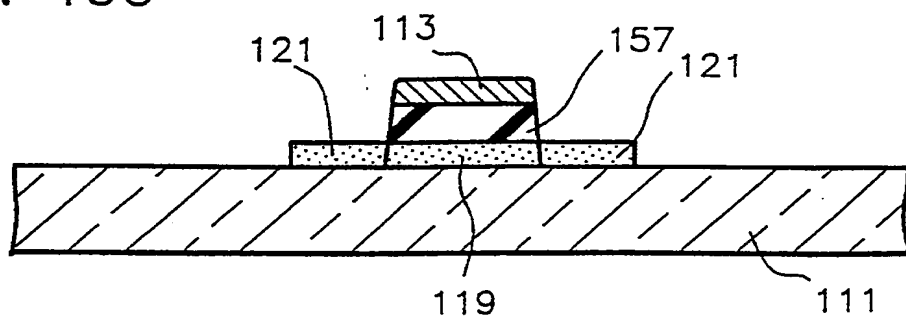


FIG. 13D

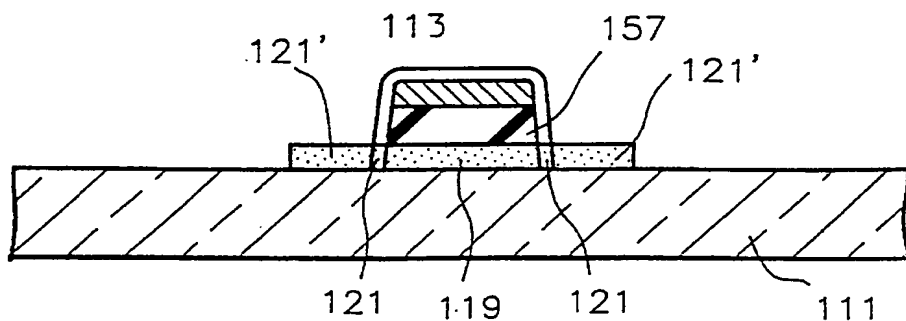


FIG. 13E

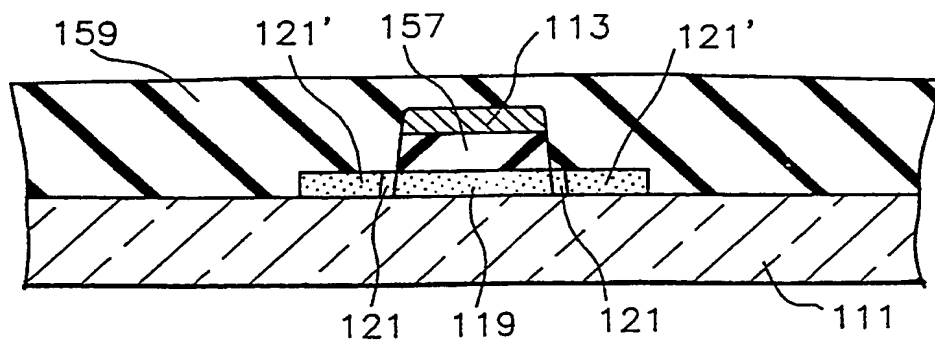


FIG. 13F

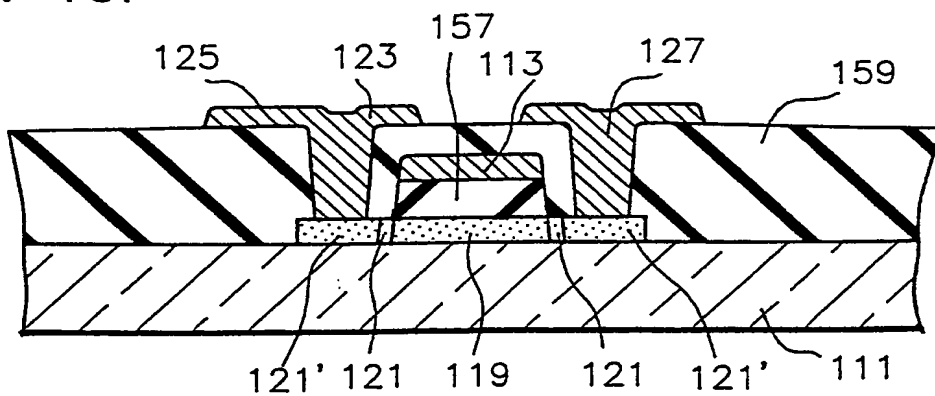


FIG. 13G

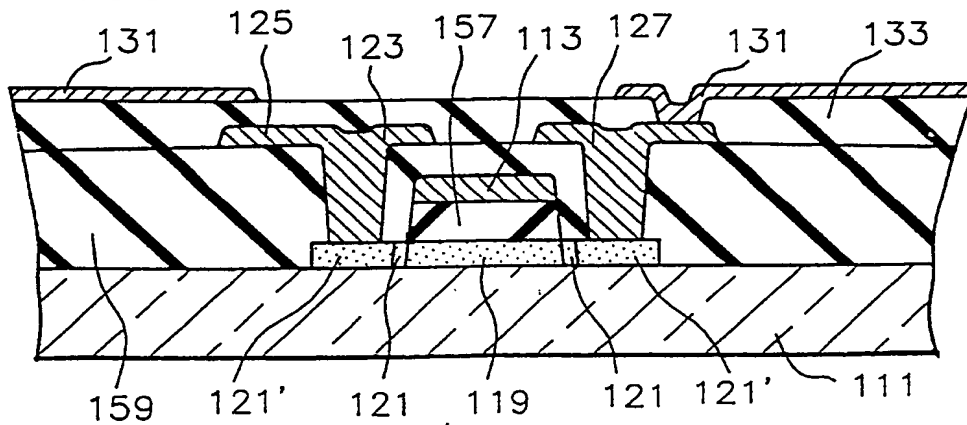


FIG. 14A

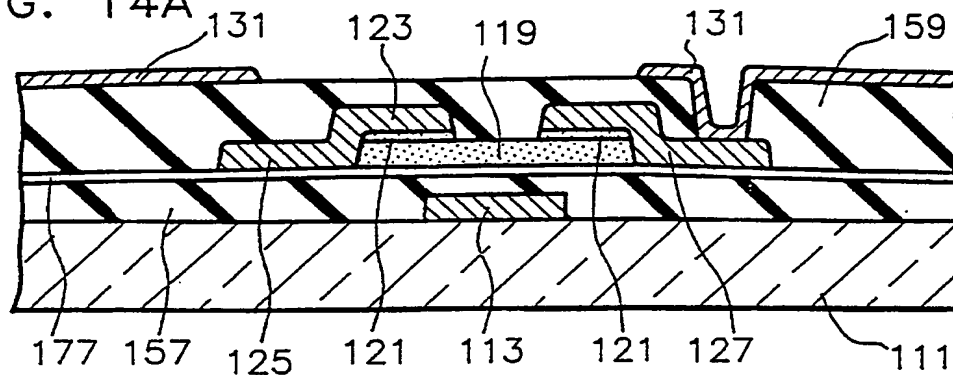


FIG. 14B

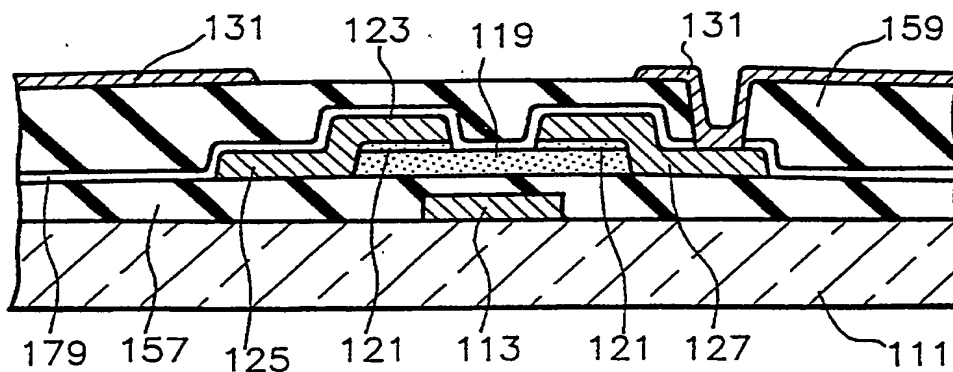


FIG. 14C

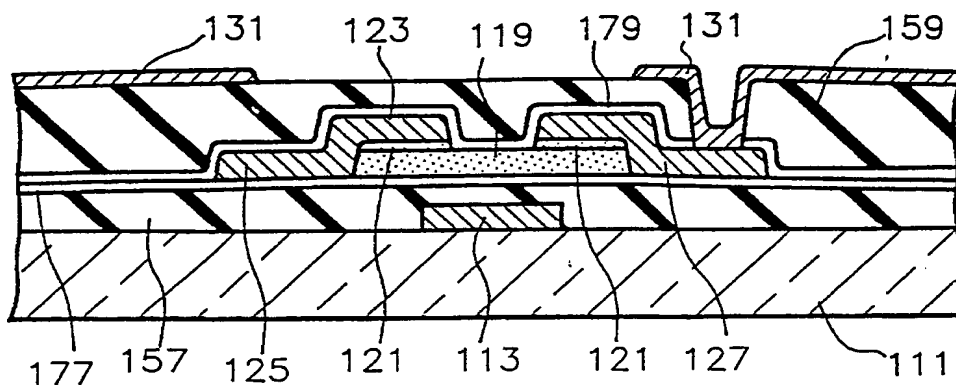


FIG. 14D

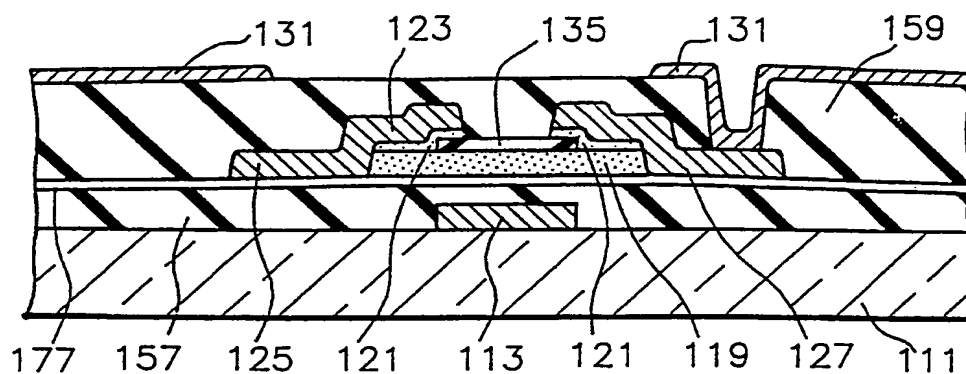


FIG. 14E

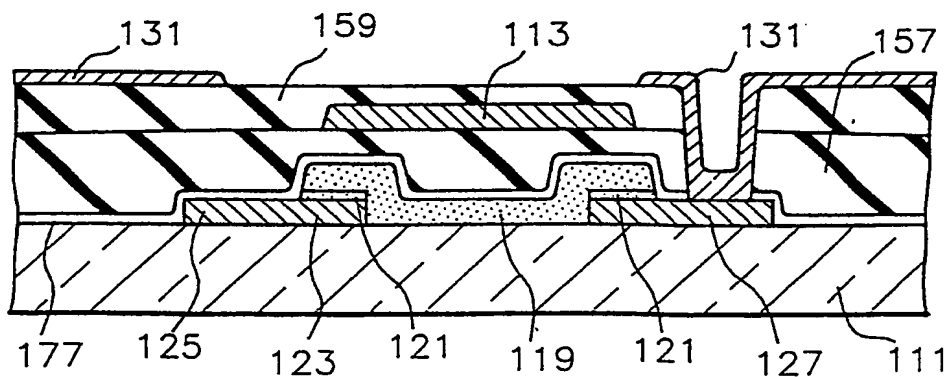


FIG. 14F

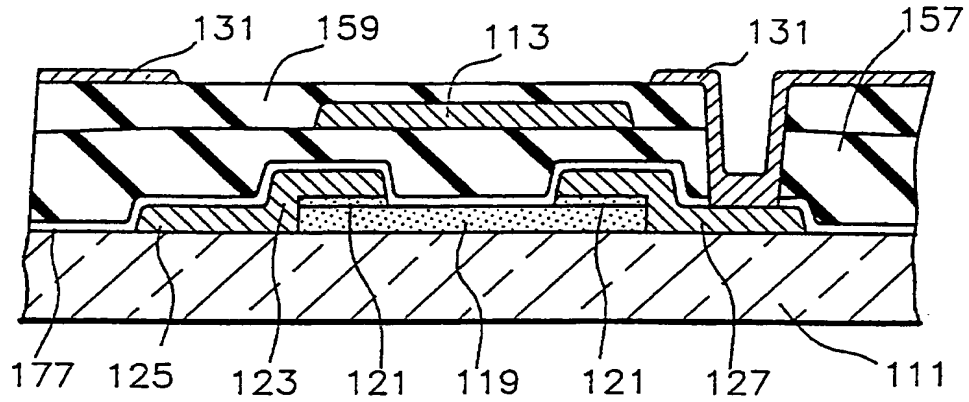


FIG. 14G

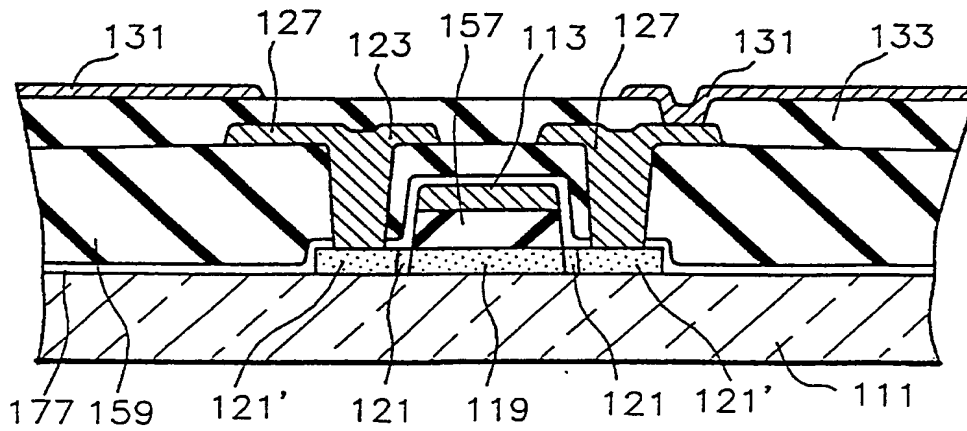


FIG. 15A

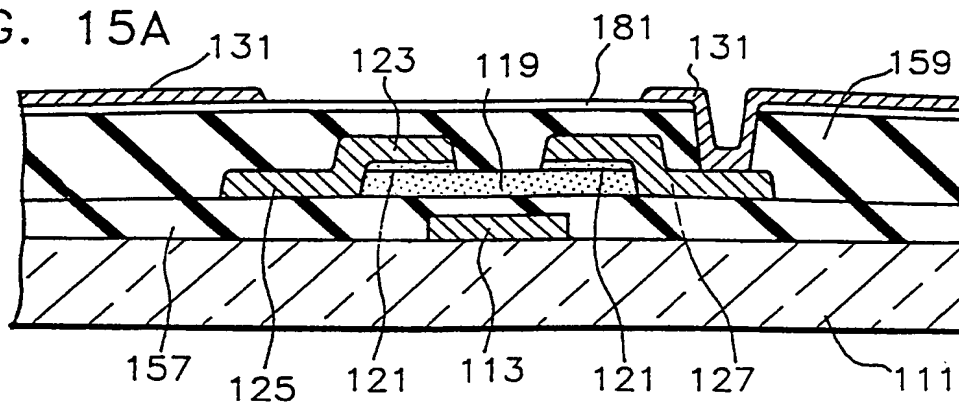


FIG. 15B

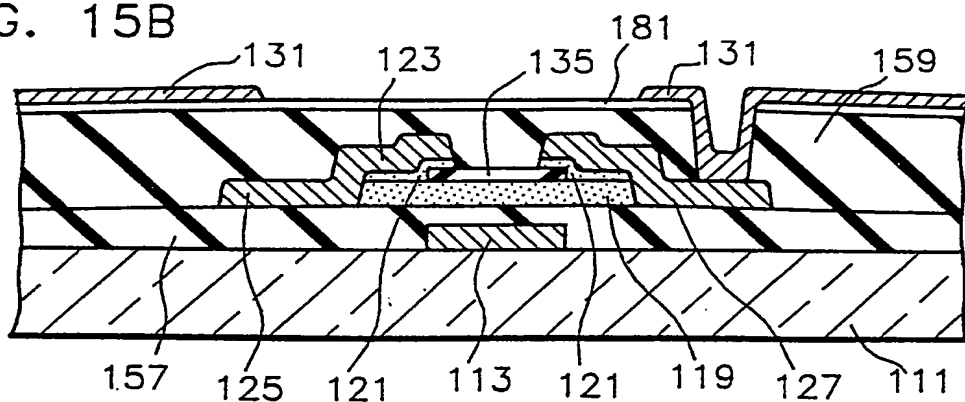


FIG. 15C

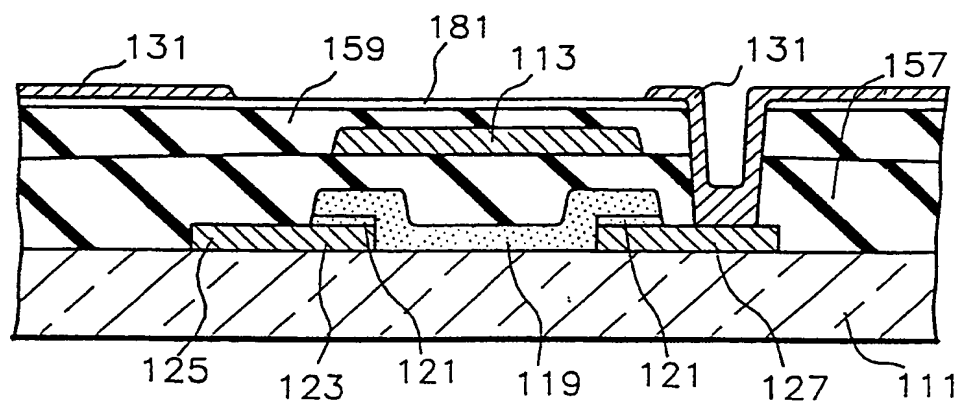


FIG. 15D

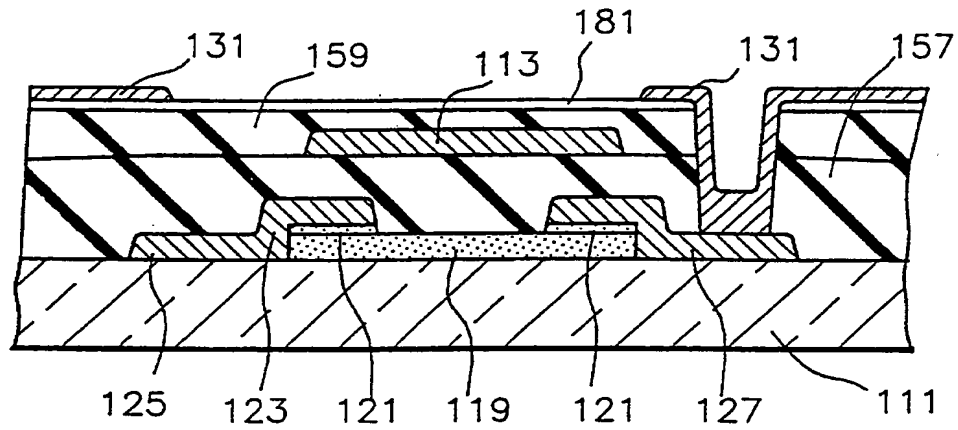


FIG. 15E

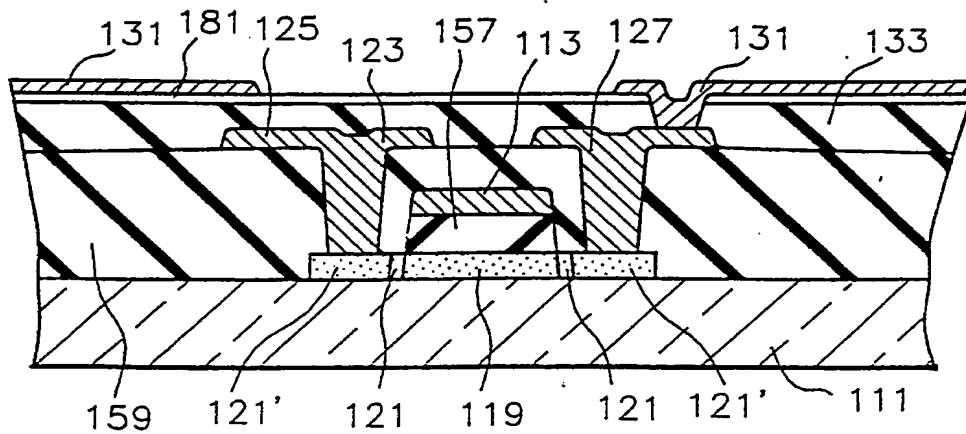


FIG. 16A

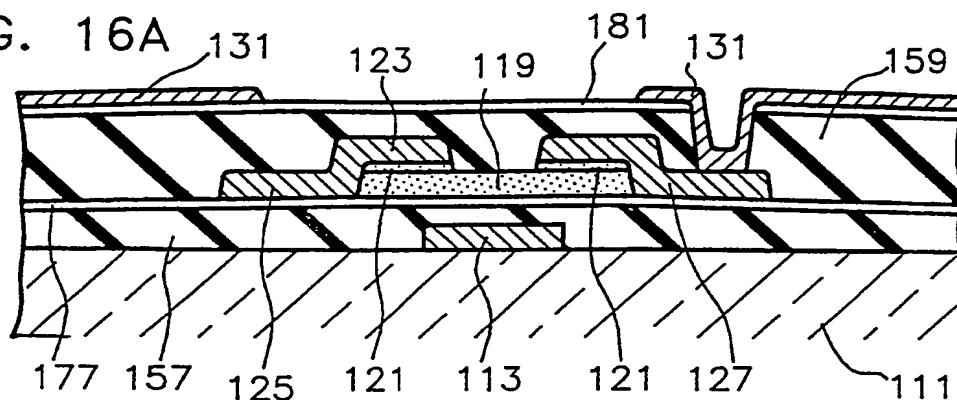


FIG. 16B

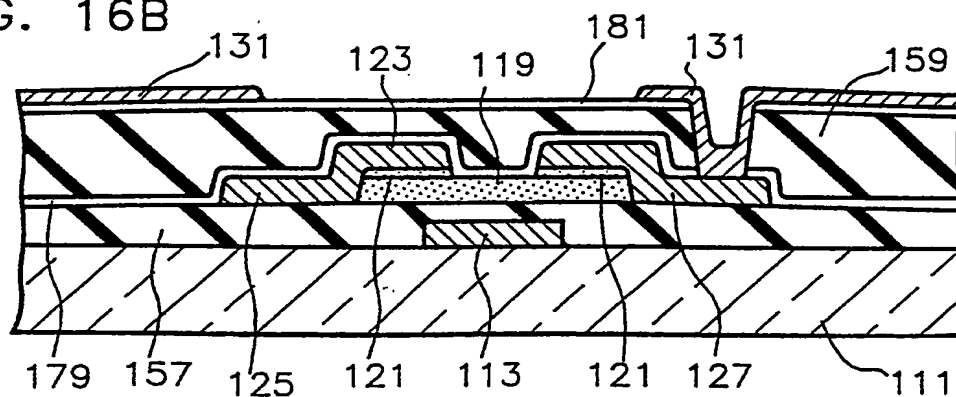


FIG. 16C

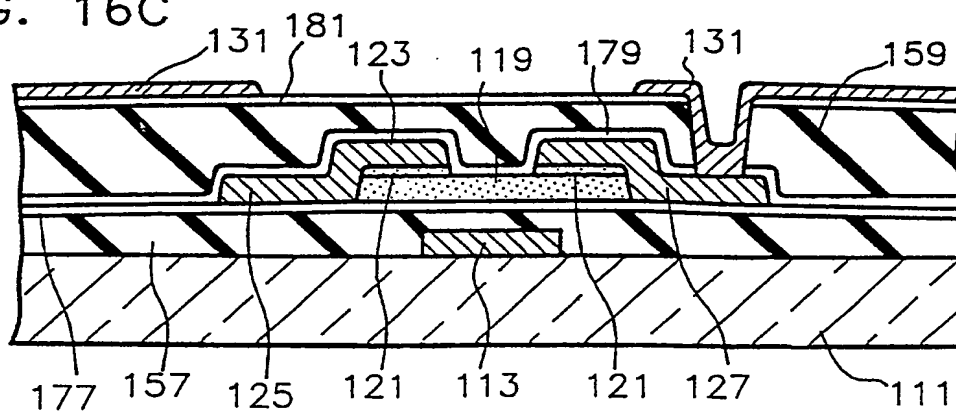


FIG. 16D

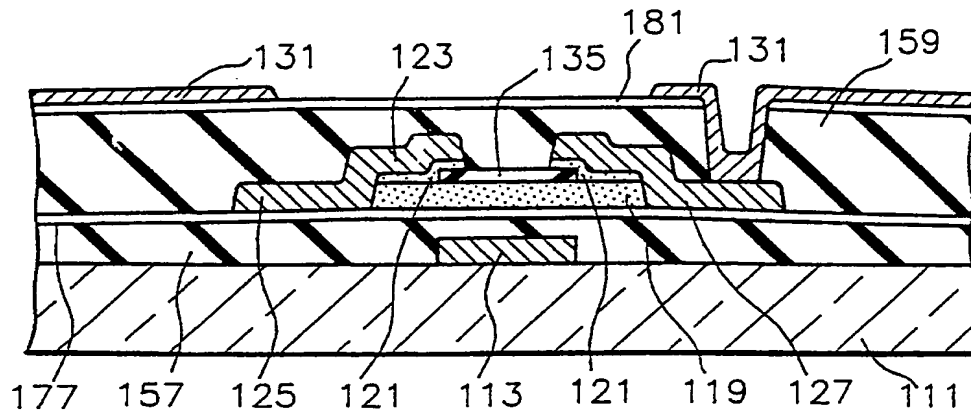


FIG. 16E

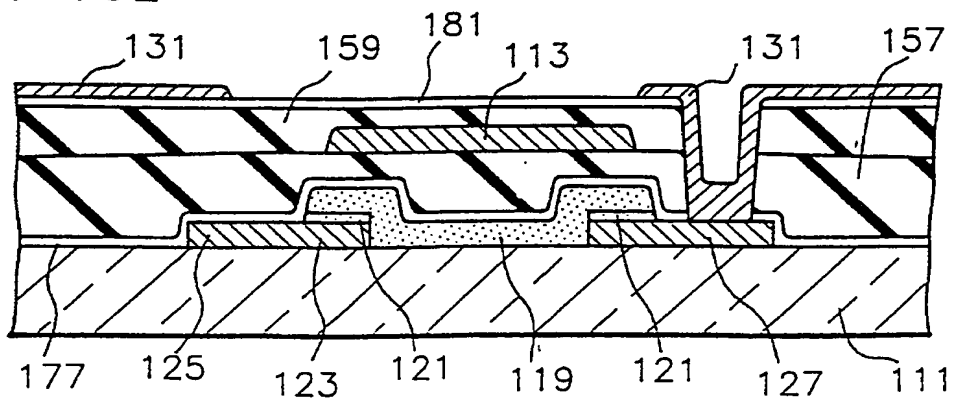


FIG. 16F

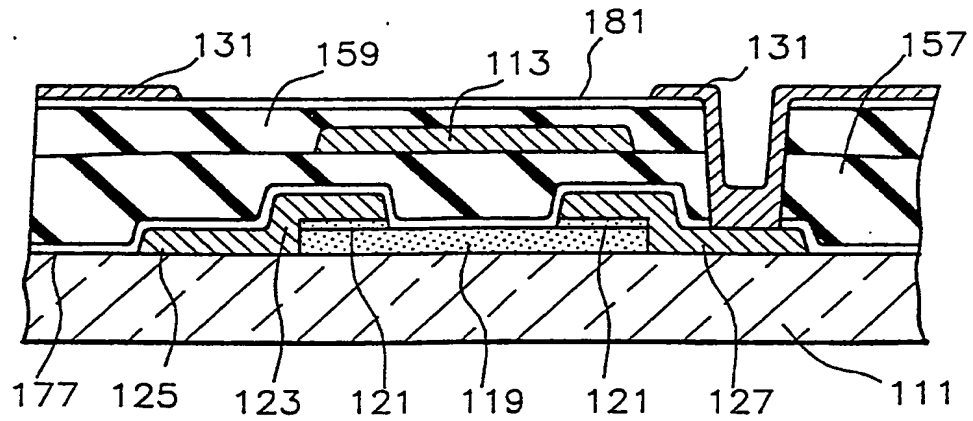


FIG. 16G

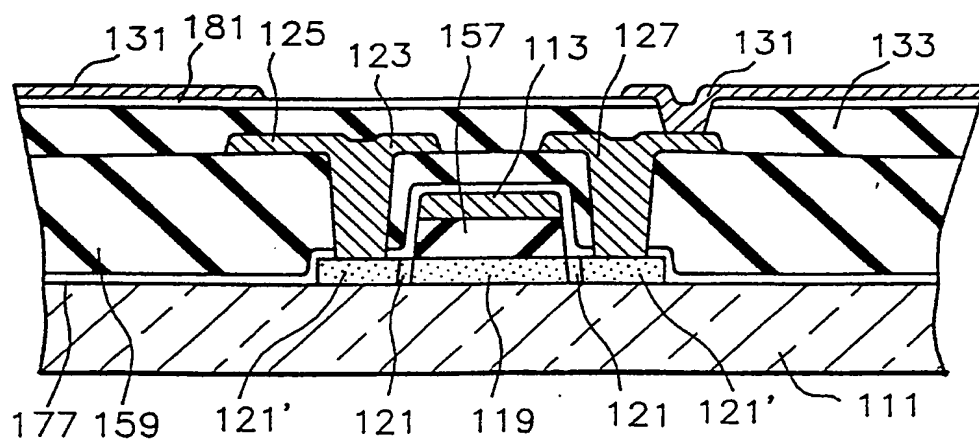


FIG. 17A

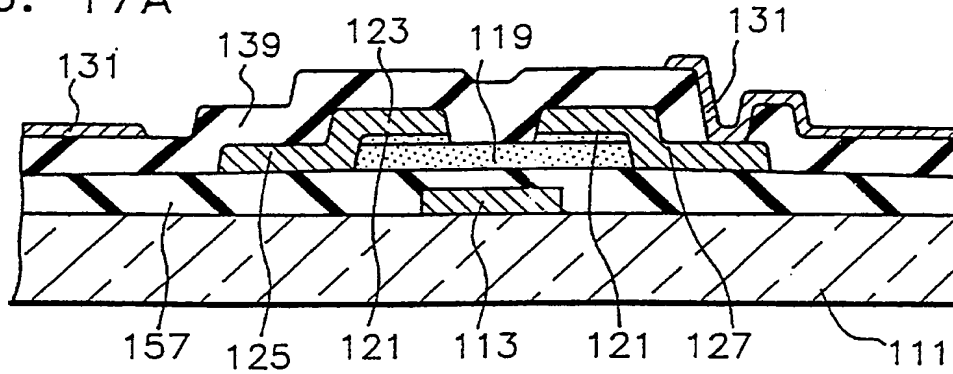


FIG. 17B

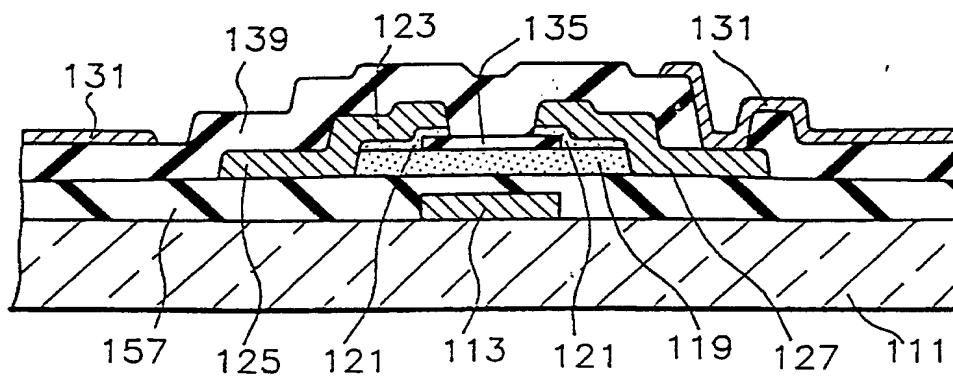


FIG. 17C

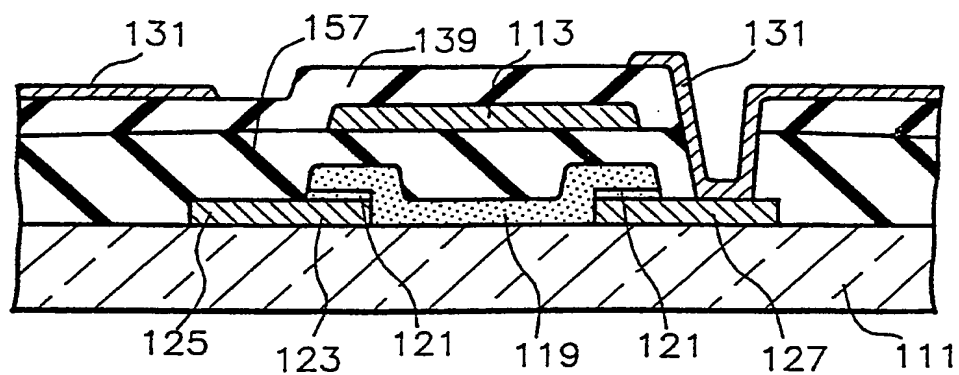


FIG. 17D

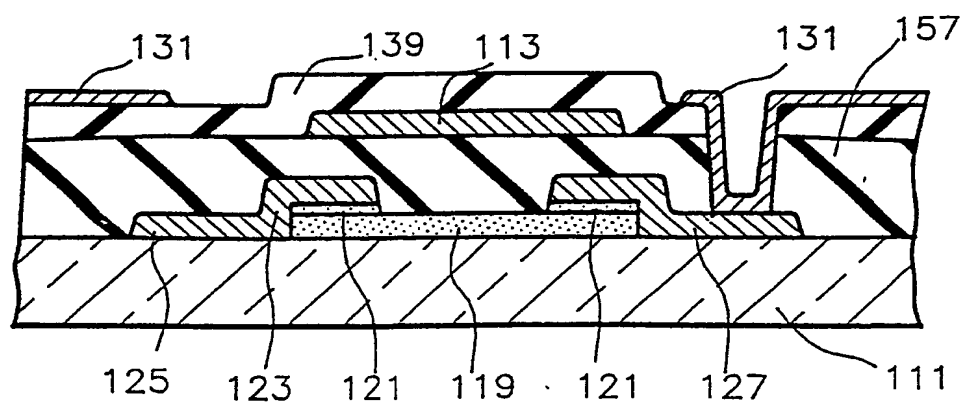


FIG. 18A

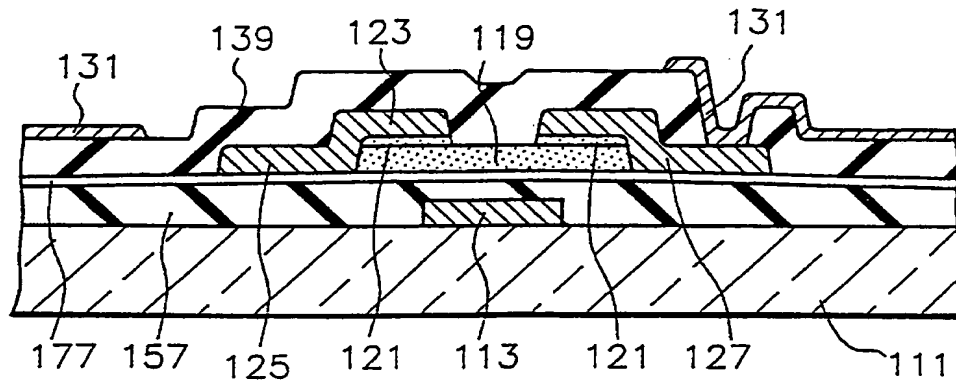


FIG. 18B

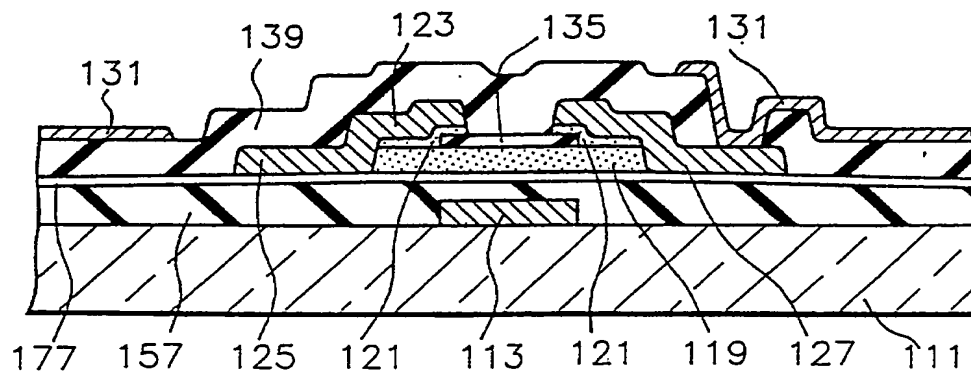


FIG. 18C

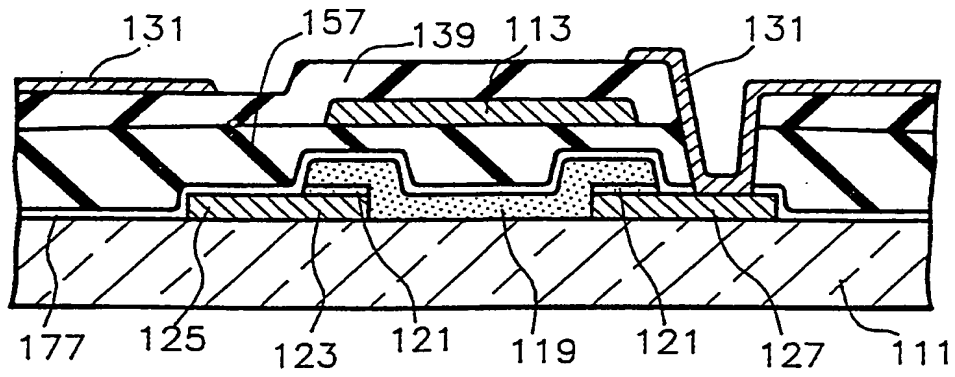


FIG. 18D

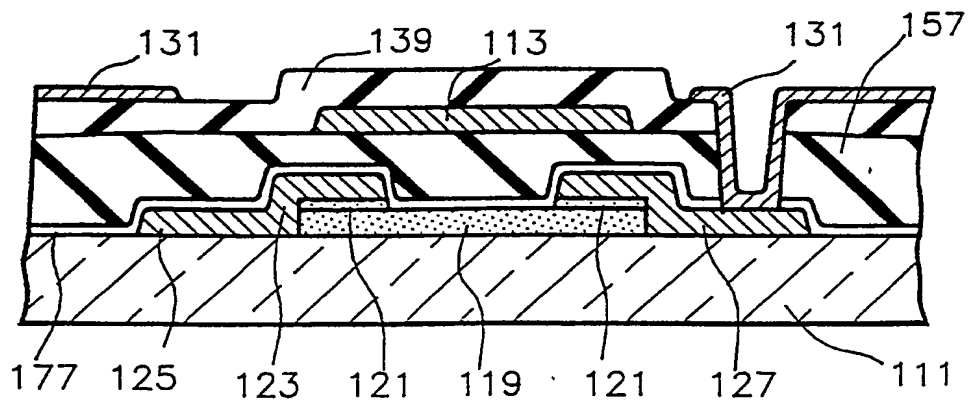


FIG. 19A

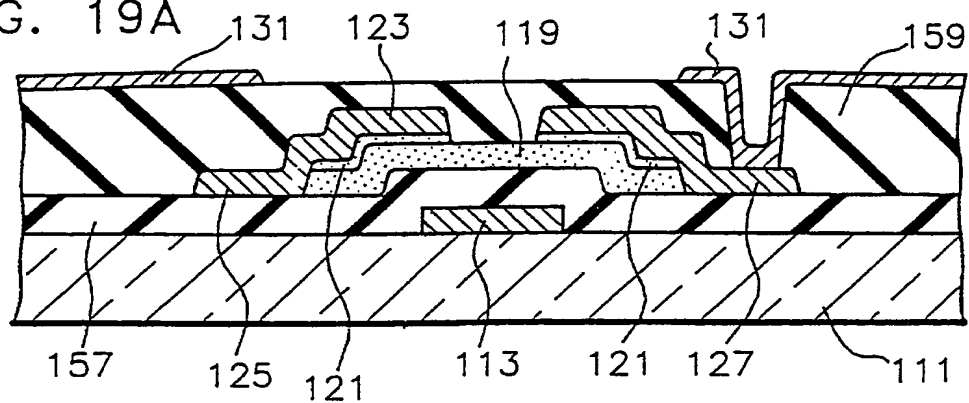


FIG. 19B

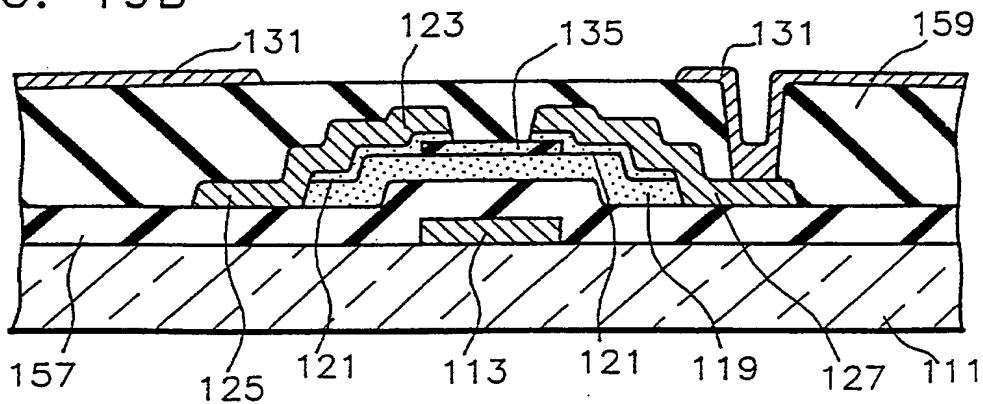


FIG. 19C

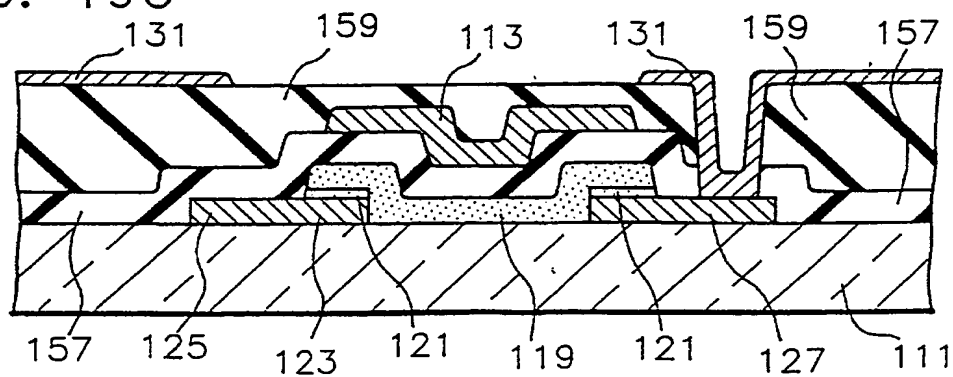


FIG. 19D

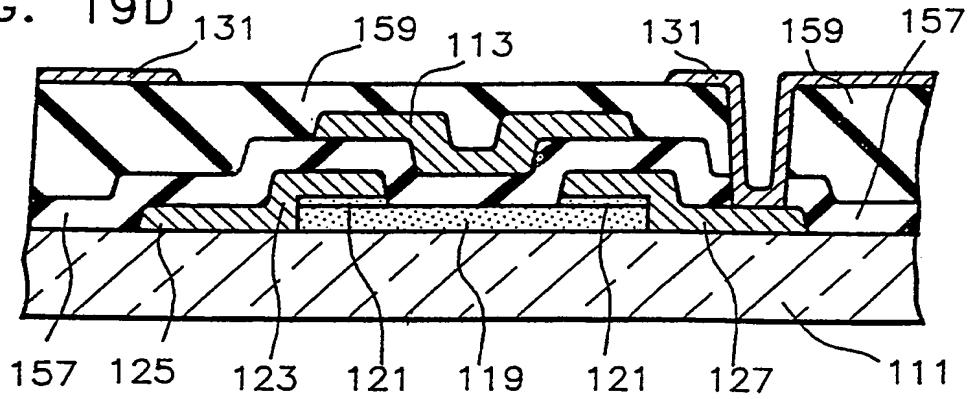


FIG. 19E

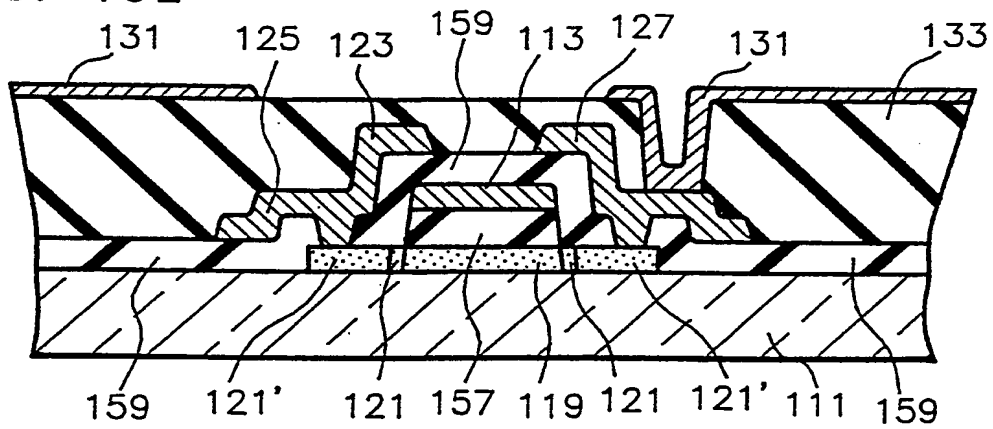
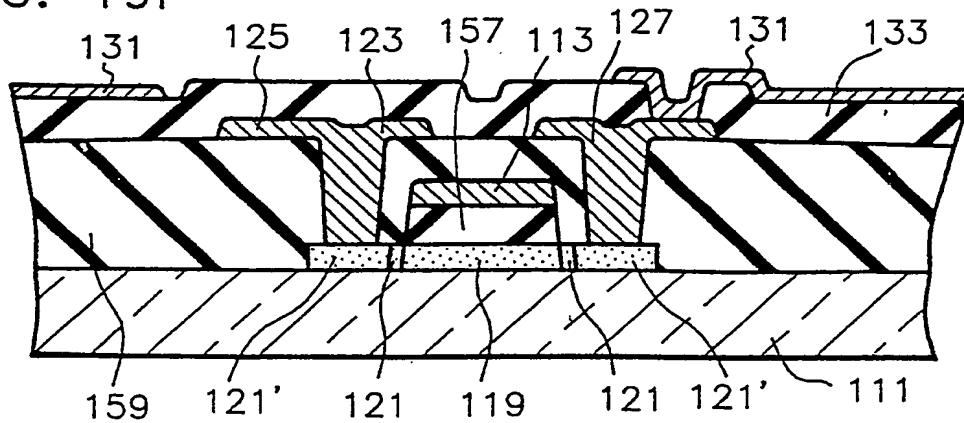


FIG. 19F



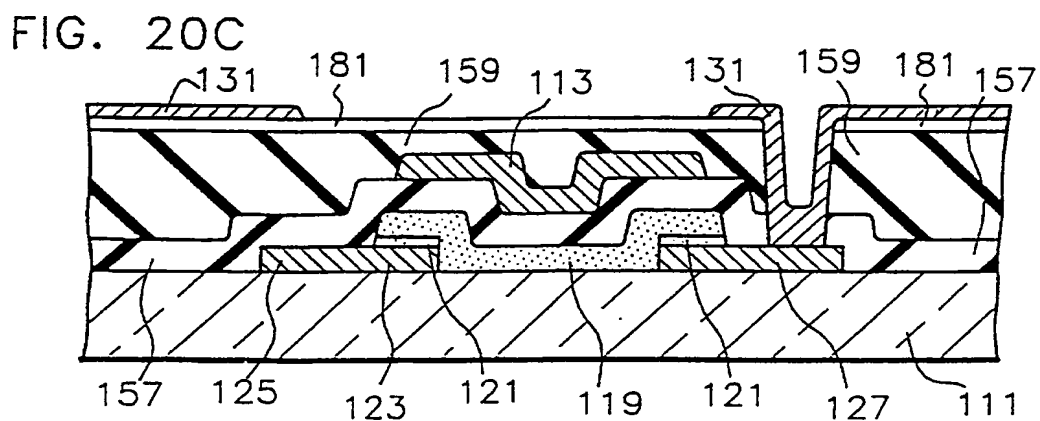
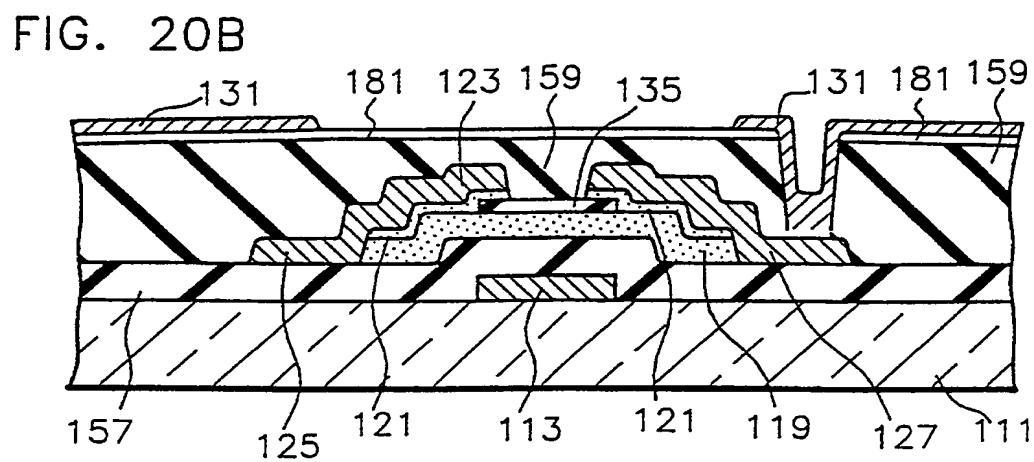
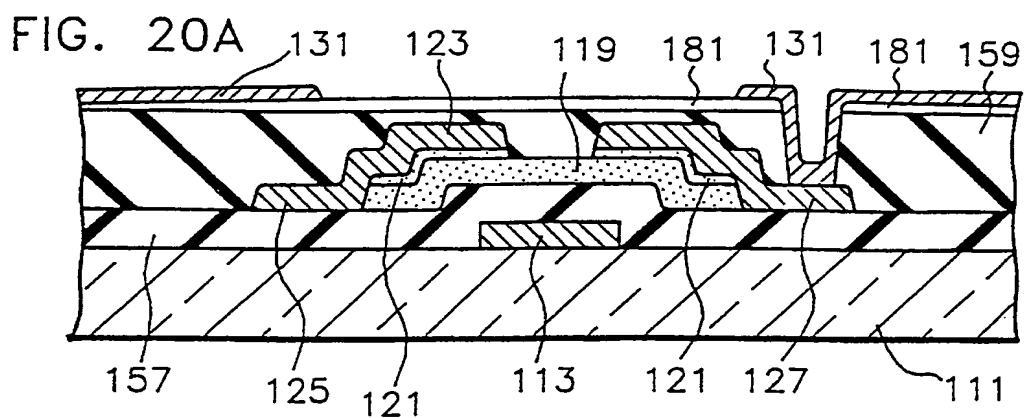


FIG. 20D

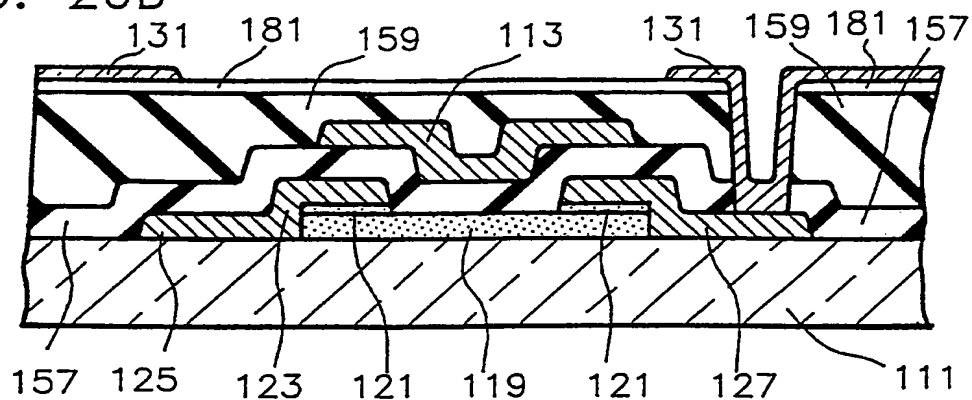


FIG. 20E

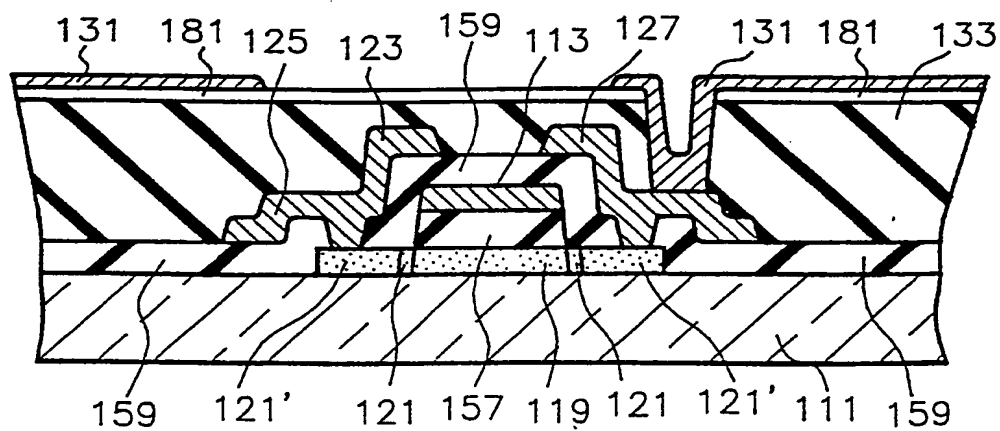


FIG. 21A

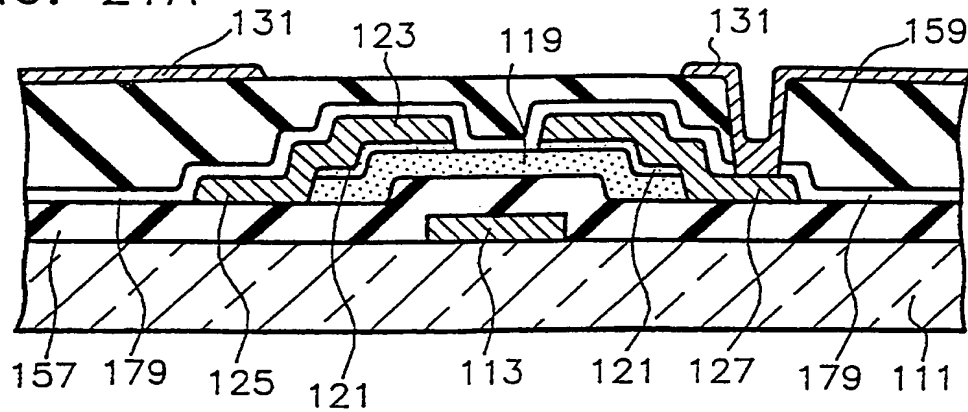
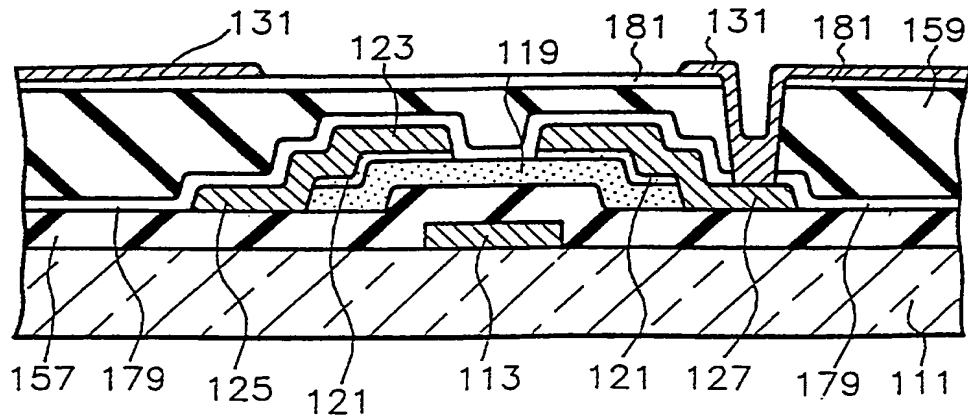


FIG. 21B



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.